

Double-mosaic process using metal hard cover screen**Publication number:** CN1414622**Publication date:** 2003-04-30**Inventor:** XU ZHENQIU (CN); LI SHIDA (CN)**Applicant:** XITONG SCIENCE & TECHNOLOGY CO (CN)**Classification:**

- international: *H01L21/283; H01L21/31; H01L21/3205; H01L21/768;*
H01L21/02; H01L21/70; (IPC1-7): H01L21/768;
H01L21/283; H01L21/31; H01L21/3205

- European:**Application number:** CN20011034239 20011026**Priority number(s):** CN20011034239 20011026[Report a data error here](#)**Abstract of CN1414622**

A dual-inlay preparation method for using hard cover curtain of metal includes semiconductor substrate consisting of a conducting wire structure, a dielectric separation layer, a dielectric layer of low dielectric constant, a first and a second hard cover curtains of metal, forming a first opening on the second hard cover curtain and a second opening on the first one with the second opening below the first one as the bore of the second opening smaller than the first one, removing off dielectric layer being not covered by the first hard cover curtain until an interlayer hole being formed as the dielectric separation layer to the exposed and furthermore forming, a ditch above the into layer hole by removing the dielectric layer off to the preset depth after the first hard cover curtain which is not covered by the second one to have been removed off.

Data supplied from the **esp@cenet** database - Worldwide

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公开说明书

[21] 申请号 01134239.0

[51] Int. Cl⁷

H01L 21/768

H01L 21/283 H01L 21/3205

H01L 21/31

[43] 公开日 2003 年 4 月 30 日

[11] 公开号 CN 1414622A

[22] 申请日 2001.10.26 [21] 申请号 01134239.0

[71] 申请人 矽统科技股份有限公司

地址 台湾省新竹科学园区

[72] 发明人 徐震球 李世达

[74] 专利代理机构 北京三友知识产权代理有限公司

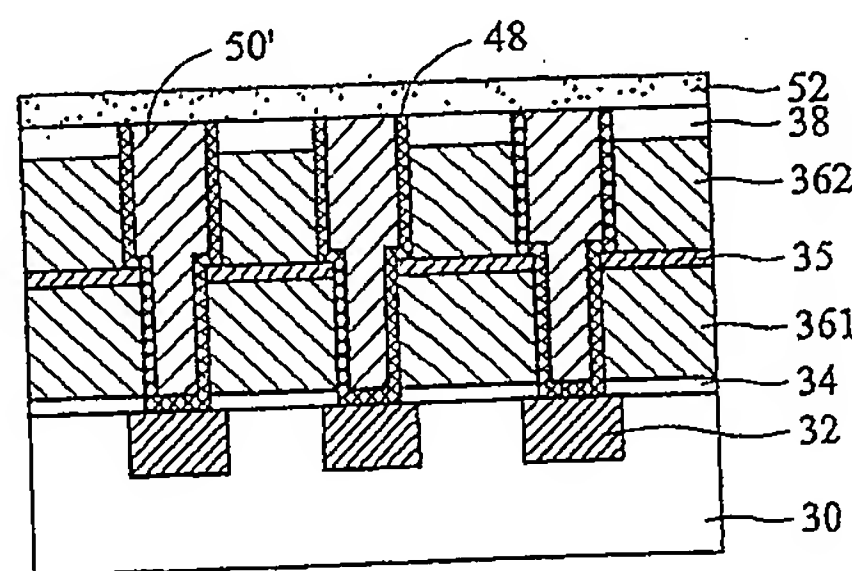
代理人 刘朝华

权利要求书 4 页 说明书 11 页 附图 17 页

[54] 发明名称 使用金属硬罩幕的双镶嵌制程

[57] 摘要

一种使用金属硬罩幕的双镶嵌制程，半导体基底包含有一导线结构、介电分隔层、低介电常数的介电层、金属材质的第一硬罩幕以及第二硬罩幕；于第二硬罩幕中形成第一开口；于第一硬罩幕中形成第二开口，第二开口位于第一开口下方，且第二开口的口径小于第一开口的口径；将未被第一硬罩幕覆盖的介电层去除，直至曝露介电分隔层形成一介层洞；将未被第二硬罩幕覆盖的第一硬罩幕去除；将未被第一硬罩幕覆盖的介电层去除，直至到达一预定深度，于介层洞上方形成一渠沟，介层洞与渠沟构成一双镶嵌开口。具有提升导电层的填充双镶嵌开口的能力。缩短 RC 延迟时间、减少金属内连线之间的干扰频率，不需另外制作抗反射涂层，使制程简化及制作成本降低。



ISSN 1008-4274

1、一种使用金属硬罩幕的双镶嵌制程，其特征是：它包括下列步骤：

(1) 提供一半导体基底，其包含有一导线结构、一介电分隔层覆盖于该导线结构上、一低介电常数的介电层形成于该介电分隔层上；

5 (2) 该介电层表面上形成一第一硬罩幕，且该第一硬罩幕由金属材质所构成；

(3) 该第一硬罩幕表面上形成一第二硬罩幕；

(4) 该第二硬罩幕中形成一第一开口，该第一开口位于该导线结构上方；

(5) 该第一硬罩幕中形成一第二开口，该第二开口位于该第一开口下方，且该第二开口的口径小于该第一开口的口径；

10 (6) 将未被该第一硬罩幕覆盖的该介电层去除，直至曝露该介电分隔层，以形成一介层洞；

(7) 将未被该第二硬罩幕覆盖的该第一硬罩幕去除；

(8) 将未被该第一硬罩幕覆盖的该介电层去除，直至到达一预定深度，于该介层洞上方形成一渠沟，该介层洞与渠沟构成一双镶嵌开口。

15 2、根据权利要求1所述的使用金属硬罩幕的双镶嵌制程，其特征是：该第一硬罩幕的材质选用以下金属材质的其中之一：Ti、TiN、Ta、TaN、Al或AlCu。

3、根据权利要求1所述的使用金属硬罩幕的双镶嵌制程，其特征是：该第二硬罩幕的材质选自以下金属材质的其中之一：Ti、TiN、Ta、TaN、Al或AlCu。

20 4、根据权利要求1所述的使用金属硬罩幕的双镶嵌制程，其特征是：该第二硬罩幕的材质选自以下介电材质的其中之一：SiO₂、SiC、SiN、SiO或SiON。

5、根据权利要求1所述的使用金属硬罩幕的双镶嵌制程，其特征是：该介电层的材质为旋涂制程所制作的有机高分子。

6、根据权利要求1所述的使用金属硬罩幕的双镶嵌制程，其特征是：该介电层的材质为化学气相沉积制程所制作的含有SiO的材质。

25 7、根据权利要求1所述的使用金属硬罩幕的双镶嵌制程，其特征是：还包含另一步骤：将该双镶嵌开口底部的介电分隔层去除，以曝露出该导线结构的

顶部。

8、根据权利要求7所述的使用金属硬罩幕的双镶嵌制程，其特征是：还包含另一步骤：形成一导电层填满该双镶嵌开口。

9、根据权利要求8所述的使用金属硬罩幕的双镶嵌制程，其特征是：还包含另一步骤：于形成该导电层之前，于该双镶嵌开口的侧壁与底部形成一阻碍层。

10、一种使用金属硬罩幕的双镶嵌制程，其特征是：它包括下列步骤：

(1) 提供一半导体基底，其包含有一导线结构、一介电分隔层覆盖于该导线结构上、一低介电常数的介电层形成于该介电分隔层上；

(2) 于该介电层表面上形成一硬罩幕，且该硬罩幕是由金属材质所构成；

(3) 于该硬罩幕中形成一第一开口，且该第一开口位于该导线结构的上方；

(4) 于该硬罩幕上定义形成一光阻层，该光阻层中包含有一第二开口，该第二开口位于该第一开口内，且该第二开口的口径小于该第一开口的口径；

(5) 将未被该光阻层覆盖的该介电层去除，直至一预定深度，以形成一介层洞；

(6) 将该光阻层去除；

(7) 将该介层洞下方的该介电层去除，直至曝露出该介电分隔层，同时将该介层洞周围的介电层去除，以形成一渠沟，该介层洞与渠沟构成一双镶嵌开口。

11、根据权利要求10所述的使用金属硬罩幕的双镶嵌制程，其特征是：该硬罩幕的材质可选用以下任一种金属材质：该第一硬罩幕的材质选用以下金属材质的其中之一：Ti、TiN、Ta、Ta₂N₅、Al或AlCu。

12、根据权利要求10所述的使用金属硬罩幕的双镶嵌制程，其特征是：该介电层的材质为旋涂制程所制作的有机高分子。

13、根据权利要求10所述的使用金属硬罩幕的双镶嵌制程，其特征是：该介电层的材质为化学气相沉积制程所制作的含有SiO₂的材质。

14、根据权利要求10所述的使用金属硬罩幕的双镶嵌制程，其特征是：还包含另一步骤：将该双镶嵌开口底部的介电分隔层去除，以曝露出该导线结构

的顶部。

15、根据权利要求14所述的使用金属硬罩幕的双镶嵌制程，其特征是：还包含另一步骤：形成一导电层填满该双镶嵌开口。

16、根据权利要求15所述的使用金属硬罩幕的双镶嵌制程，其特征是：还包含另一步骤：形成该导电层之前，于该双镶嵌开口的侧壁与底部形成一阻障层。

17、一种使用金属硬罩幕的双镶嵌制程，其特征是：还包含另一步骤：

(1) 提供一半导体基底，其包含有一导线结构、一介电分隔层覆盖于该导线结构上、一低介电常数的第一介电层形成于该介电分隔层上、一蚀刻停止层形成于该第一介电层上、第二介电层形成于该蚀刻停止层上；

10 (2) 于该第二介电层表面上形成一第一硬罩幕，且该第一硬罩幕是由金属材质所构成；

(3) 于该第一硬罩幕表面上形成一第二硬罩幕；

(4) 于该第二硬罩幕中形成一第一开口，且该第一开口位于该导线结构上方；

15 (5) 于该第一硬罩幕中形成一第二开口，该第二开口位于该第一开口下方，且该第二开口的口径小于该第一开口的口径；

(6) 将未被该第一硬罩幕覆盖的该第二介电层、该蚀刻停止层以及该第一介电层去除，直至曝露该介电分隔层，以形成一介层洞；

(7) 将未被该第二硬罩幕覆盖的该第一硬罩幕去除；

20 (8) 将该第一介电层的曝露区域去除，直至曝露出该蚀刻停止层，于该第二介层层中形成一渠沟，该介层洞与渠沟构成一双镶嵌开口。

18、根据权利要求17所述的使用金属硬罩幕的双镶嵌制程，其特征是：该第一硬罩幕的材质选用以下金属材质的其中之一：Ti、TiN、Ta、TaN、Al或AlCu。

19、根据权利要求17所述的使用金属硬罩幕的双镶嵌制程，其特征是：该第二硬罩幕的材质选自以下金属材质的其中之一：Ti、TiN、Ta、TaN、Al或AlCu。

25 20、根据权利要求17所述的使用金属硬罩幕的双镶嵌制程，其特征是：该第二硬罩幕的材质选自以下介电材质的其中之一：SiO₂、SiC、SiN、SiO或SiON。

21、根据权利要求17所述的使用金属硬罩幕的双镶嵌制程，其特征是：该第一介电层的材质为旋涂制程所制作的有机高分子。

22、根据权利要求17所述的使用金属硬罩幕的双镶嵌制程，其特征是：该第一介电层的材质为化学气相沉积制程所制作的含有SiO₂的材质。

5 23、根据权利要求17所述的使用金属硬罩幕的双镶嵌制程，其特征是：该第二介电层的材质为旋涂制程所制作的有机高分子。

24、根据权利要求17所述的使用金属硬罩幕的双镶嵌制程，其特征是：该第二介电层的材质为化学气相沉积制程所制作的含有SiO₂的材质。

25、根据权利要求17所述的使用金属硬罩幕的双镶嵌制程，其特征是：还
10 包含另一步骤：将该双镶嵌开口底部的介电分隔层去除，以曝露出该导线结构的顶部。

26、根据权利要求25所述的使用金属硬罩幕的双镶嵌制程，其特征是：还包含另一步骤：形成一导电层填满该双镶嵌开口。

27、根据权利要求26所述的使用金属硬罩幕的双镶嵌制程，其特征是：还
15 包含另一步骤：于形成该导电层之前，于该双镶嵌开口的侧壁与底部形成一阻障层。

使用金属硬罩幕的双镶嵌制程

技术领域

5 本发明涉及双镶嵌制程，特别有关于一种使用金属硬罩幕的双镶嵌制程。

背景技术

在高密度的积体电路（IC）的制程中，如超大积体电路（VLSI）制程，
10 是将许多的金属内连线制作成三度空间的多层导线结构。然而，随着IC组件的积集度增加会提高金属内连线之间的电容效应，进而导致RC延迟时间延长、金属内连线之间的干扰（cross talk）频率增加，因此通过这些金属内连线的电流速度变得很慢。为了改善电流的速度，如何降低金属内连线的电阻值以及减少金属内连线之间的寄生电容，成为很重要的制程因子。
15 如果要有效降低金属内连线的电阻值，则需采用低电阻值的金属材质；如果要减少金属内连线之间的寄生电容，则需采用低介电常数的绝缘材料来制作金属内连线之间的内层介电层（inter-layer dielectric, ILD）。但是，将低介电常数的有机材料应用在ILD层的制作上时，仍遭遇到许多问题。

参阅图1-图3所示，其显示传统金属内连线之间的介层洞的制作方法。

20 如图1所示，一半导体基底10包含有：一金属导线12；一具有低介电常数的ILD层14覆盖于金属导线12以及基底10的曝露表面上；一氧化硅的硬罩幕16沉积于ILD层14的表面上；以及一具有图案的光阻层18定义形成于硬罩幕16的表面上。首先，将未被光阻层18覆盖的硬罩幕16蚀刻去除，以形成一开口；

然后，如图2所示，继续蚀刻开口下方的ILD层14，以形成一介层洞19，

其中介层洞19具有倾斜的侧壁15，且曝露出金属导线12的顶部；最后，进行氧电浆蚀刻制程，将光阻层18去除。在上述的制程中，当ILD层14使用有机的高分子材料时，由于ILD层14的材料性质与光阻层18的材料性质极为相似，而且ILD层14对氧电浆蚀刻制程的抵挡性很差，因此氧电浆蚀刻制程会蚀刻部分ILD层14，使得介层洞19的侧壁15上形成一凹洞15a，进而影响后续在介层洞19内填充导电层的效果，如图3所示。

解决方法之一，是在光阻层18另制作一抗反射阻挡层，可以减缓氧电浆蚀刻制程所产生的问题，但这却会在蚀刻介层洞19的图案时遭遇更大的控制难题。

解决方法之二，是限制使用易被氧电浆损伤的材质，则ILD层14仅能选用含有二氧化硅的材料，如PSG、USG、Black Diamond、Coral、Aurora、Flowfill。为了解决这个问题，美国专利第6,159,661号揭露一种双镶嵌制程，是于氧化硅的硬罩幕上另制作一SiON盖层，用来保护ILD层，以避免受到氧电浆的蚀刻。其主要缺陷在于：

为了定义出SiON盖层的图案，如何调整氧化硅的硬罩幕，以及SiON盖层之间的高蚀刻选择比，成为一个新的问题。而且，SiON盖层的制作仍无法改善ILD层的材质受限的问题。

发明内容

20

本发明的目的是提供一种使用金属硬罩幕的双镶嵌制程，是于ILD层上制作双层硬罩幕，且至少其中一层硬罩幕为金属材质，克服现有技术的弊端，达到提升导电层的填充双镶嵌开口的能力，缩短RC延迟时间、减少金属内连线之间的干扰频率，不需另外制作抗反射涂层，使制程简化及制作

25 成本降低的目的。

本发明的目的是这样实现的：一种使用金属硬罩幕的双镶嵌制程，其特征是：它包括下列步骤：

- (1) 提供一半导体基底，其包含有一导线结构、一介电分隔层覆盖于该导线结构上、一低介电常数的介电层形成于该介电分隔层上；
- 5 (2) 该介电层表面上形成一第一硬罩幕，且该第一硬罩幕由金属材质所构成；
- (3) 该第一硬罩幕表面上形成一第二硬罩幕；
- (4) 该第二硬罩幕中形成一第一开口，该第一开口位于该导线结构上方；
- (5) 该第一硬罩幕中形成一第二开口，该第二开口位于该第一开口下方，且该第二开口的口径小于该第一开口的口径；
- 10 (6) 将未被该第一硬罩幕覆盖的该介电层去除，直至曝露该介电分隔层，以形成一介层洞；
- (7) 将未被该第二硬罩幕覆盖的该第一硬罩幕去除；
- (8) 将未被该第一硬罩幕覆盖的该介电层去除，直至到达一预定深度，
- 15 于该介层洞上方形成一渠沟，该介层洞与渠沟构成一双镶嵌开口。

该第一硬罩幕的材质选自以下金属材质的其中之一：Ti、TiN、Ta、TaN、Al或AlCu。该第二硬罩幕的材质选自以下金属材质的其中之一：Ti、TiN、Ta、TaN、Al或AlCu。该第二硬罩幕的材质选自以下介电材质的其中之一：SiO₂、SiC、SiN、SiO或SiON。该介电层的材质为旋涂制程所制作的有机高分子。该介电层的材质为化学气相沉积制程所制作的含有SiO的材质。

20

还包含另一步骤：将该双镶嵌开口底部的介电分隔层去除，以曝露出该导线结构的顶部。还包含另一步骤：形成一导电层填满该双镶嵌开口。还包含另一步骤：于形成该导电层之前，于该双镶嵌开口的侧壁与底部形成一阻障层。

25 另一种使用金属硬罩幕的双镶嵌制程，其特征是：它包括下列步骤：

01134239.0

(1) 提供一半导体基底, 其包含有一导线结构、一介电分隔层覆盖于该导线结构上、一低介电常数的介电层形成于该介电分隔层上;

(2) 于该介电层表面上形成一硬罩幕, 且该硬罩幕是由金属材质所构成;

5 (3) 于该硬罩幕中形成一第一开口, 且该第一开口位于该导线结构的上方;

(4) 于该硬罩幕上定义形成一光阻层, 该光阻层中包含有一第二开口, 该第二开口位于该第一开口内, 且该第二开口的口径小于该第一开口的口径;

(5) 将未被该光阻层覆盖的该介电层去除, 直至一预定深度, 以形成一介层洞;

10 (6) 将该光阻层去除;

(7) 将该介层洞下方的该介电层去除, 直至曝露出该介电分隔层, 同时将该介层洞周围的介电层去除, 以形成一渠沟, 该介层洞与渠沟构成一双镶嵌开口。

再一种使用金属硬罩幕的双镶嵌制程, 其特征是: 还包含另一步骤:

15 (1) 提供一半导体基底, 其包含有一导线结构、一介电分隔层覆盖于该导线结构上、一低介电常数的第一介电层形成于该介电分隔层上、一蚀刻停止层形成于该第一介电层上、第二介电层形成于该蚀刻停止层上;

(2) 于该第二介电层表面上形成一第一硬罩幕, 且该第一硬罩幕是由金属材质所构成;

20 (3) 于该第一硬罩幕表面上形成一第二硬罩幕;

(4) 于该第二硬罩幕中形成一第一开口, 且该第一开口位于该导线结构上方;

(5) 于该第一硬罩幕中形成一第二开口, 该第二开口位于该第一开口下方, 且该第二开口的口径小于该第一开口的口径;

25 (6) 将未被该第一硬罩幕覆盖的该第二介电层、该蚀刻停止层以及该

第一介电层去除，直至曝露该介电分隔层，以形成一介层洞；

(7) 将未被该第二硬罩幕覆盖的该第一硬罩幕去除；

(8) 将该第一介电层的曝露区域去除，直至曝露出该蚀刻停止层，于该第二介层层中形成一渠沟，该介层洞与渠沟构成一双镶嵌开口。

5 该第一介电层的材质为旋涂制程所制作的有机高分子。该第一介电层的材质为化学气相沉积制程所制作的含有SiO₂的材质。该第二介电层的材质为旋涂制程所制作的有机高分子。该第二介电层的材质为化学气相沉积制程所制作的含有SiO₂的材质。还包含另一步骤：将该双镶嵌开口底部的介电分隔层去除，以曝露出该导线结构的顶部。还包含另一步骤：形成一导电层填满该双镶嵌开口。还包含另一步骤：于形成该导电层之前，于该双镶嵌开口的侧壁与底部形成一阻障层。

10

下面结合较佳实施例和附图进一步说明。

附图说明

15

图1-图3为传统金属内连线之间的介层洞的制作方法示意图。

图4-图15为本发明的双镶嵌制程的剖面示意图。

图16-图24为本发明实施例2的双镶嵌制程的剖面示意图。

图25-图34为本发明实施例3的双镶嵌制程的剖面示意图。

20

具体实施方式

实施例1

本发明的第一实施例的双镶嵌制程中，是于低介电常数的ILD层上制作

25 双层硬罩幕，而且此双层硬罩幕可均为金属材质，也可其中一层硬罩幕为

金属材质。

参阅图4-图15所示，本发明的双镶嵌制程如下：

如图4所示，一半导体基底30包含有多数个金属导线32，一介电分隔层34覆盖住金属导线32与基底30的曝露表面，以及一低介电常数的ILD层36形成于介电分隔层34的表面上。金属导线32由铜金属所构成。介电分隔层34可选用氮化硅或碳化硅，用来防止金属导线32的氧化现象，并使金属导线32内的原子/离子扩散至ILD层36内。ILD层36的材质可为高分子材料，如：经由旋涂制程制作的旋涂高分子（spin-on polymer, SOP）、FLARE、SILK、Parylene、PAE-11或聚酰亚胺，也可为含有 SiO_2 的无机材质，如：经由旋涂制程制作的 SiO_2 、FSG、FUG或是经由化学气相沉积制程（chemical vapor deposition, CVD）制作的black diamond、Coral、Aurora、GreenDot或其它介电材质。

除此之外，基底30另包含有第一硬罩幕38以及第二硬罩幕40，依序形成于ILD层36的表面上。第一硬罩幕38的材质可选用Ti、TiN、Ta、TaN、Al或AlCu等金属材质；第二硬罩幕40的材质可选用Ti、TiN、Ta、TaN、Al或AlCu等金属材质，第二硬罩幕40的材质也可选用 SiO 、 SiC 、 SiN 、 SiO 或 SiON 等介电材质。

如图5所示，于第二硬罩幕40上定义形成第一光阻层42，用以定义双镶嵌开口的渠沟的图形。

然后，如图6所示，将未被第一光阻层42覆盖的第二硬罩幕40去除，以形成多数个第一开口41，再将第一光阻层42去除。

随后，如图7所示，于基底30的表面上定义形成一第二光阻层44，用以定义双镶嵌开口的介层洞的图形。

随后，如图8所示，将未被第二光阻层44覆盖的第一硬罩幕38去除，以形成多数个第二开口43，再将第二光阻层44去除。其中，第一开口41的口

径大于第二开口43的口径。

如图9所示,进行干蚀刻制程,将未被第一硬罩幕38覆盖的ILD层36去除,直至曝露出介电分隔层34,则可在每个金属导线32上方形成多数个介层洞45。由于第二光阻层44已经先去除,因此可避免ILD层36受到氧电浆的蚀刻而影响到介层洞45的侧壁轮廓。

接着,如图10所示,将第一硬罩幕层38的曝露区域去除,以使第一硬罩幕层38及第二硬罩幕40的侧壁轮廓切齐。

跟着,如图11所示,将未被一硬罩幕38以及第二硬罩幕40的ILD层36蚀刻至一预定深度,使介层洞45的上方区域成为一渠沟47。如此一来,在每个金属导线32上方的介层洞45以及渠沟47构成一双镶嵌开口46。

后续,如图12所示,将双镶嵌开口46底部的介电分隔层34去除,并将第二硬罩幕40去除,金属导线32的顶部区域曝露在双镶嵌开口46的底部。接下来,可依照制程需要与设计进行相关的半导体制程,以于双镶嵌开口46内制作一双镶嵌结构的内连线。

如图13所示,于基底30的整个表面上均匀地沉积一阻障层48,其材质可选用Ta/TaN、Ti/TiN或W/WN,其目的之一是用来隔绝ILD层36以及后续制作的导电层之间的交互作用;其目的之二是用来增加ILD层36以及后续制作的导电层之间的附着性。然后,可采用PVD、CVD、电镀或其它沉积方法,于基底30的整个表面上沉积一铜金属的导电层50,并使导电层50填满双镶嵌开口46。

随后,如图14所示,进行回蚀刻制程或是研磨技术如: CMP,将导电层50、阻障层48以及第一硬罩幕层38的表面高度切齐,则存留在双镶嵌开口46内的导电层50用作为一双镶嵌结构50'。

最后,如图15所示,于基底30表面上沉积一保护层52,其材质可选用SiN或SiC,以覆盖住双镶嵌结构50'的顶部,用来防止双镶嵌结构50'的氧化

现象, 并防止双镶嵌结构50' 的原子/离子扩散至后续制作的介电层中。

此外, 依据制程需要, 可重复上述的双镶嵌制程制作其它双镶嵌结构。

相较于传统技术, 本发明第一实施例的双镶嵌制程具有以下优点:

第一, 金属材质的第一硬光罩38与第二硬光罩40可有效保护ILD层36, 以避免在去除第一光阻层42与第二光阻层44时, 遭受到氧电浆的蚀刻, 进而提升导电层50的填充双镶嵌开口46的能力。

第二, 由于本发明可有效保护ILD层36, 因此不需刻意限制ILD层36的使用材质, 可采用低介电常数的有机材料来制作ILD层36, 以达到缩短RC延迟时间、减少金属内连线之间的干扰频率等目的, 进而可应用在下一代的小面积芯片的制作上。

第三, 第一硬罩幕38以及第二硬罩幕40可作为后续进行深紫外光 (deep ultra violet, DUV) 的微影制程的抗反射涂层, 因此本发明的双镶嵌制程不需另外制作抗反射涂层, 这样可以使制程简化及制作成本降低。

第四, 在本发明第一实施例中并未在ILD层36中制作蚀刻停止层, 因此ILD层36的制作为单一步骤, 可采用旋涂制程或是CVD制程, 如此可进一步简化制程步骤、降低制作成本。

实施例2

本实施例的双镶嵌制程中, 是于低介电常数的ILD层上制作一层硬罩幕, 而且此层硬罩幕为金属材质。

参阅图16-图24所示, 本发明第二实施例的双镶嵌制程包括如下步骤:

如图16所示, 半导体基底30包含有金属导线32、介电分隔层34、ILD层36以及金属硬罩幕40。金属硬罩幕40的材质可选用Ti、TiN、Ta、TaN、Al或AlCu等金属材质。

如图17所示, 于硬罩幕40上定义形成第一光阻层42, 用以定义双镶嵌开口的渠沟的图形。

然后，如图18所示，将未被第一光阻层42覆盖的硬罩幕40去除，以形成多数个第一开口41，再将第一光阻层42去除。

随后，如图19和20所示，于基底30的表面上形成第二光阻层44，再于第二光阻层44上定义形成多数个第二开口43，用以定义双镶嵌开口的介层洞的图形。其中，第一开口41的口径大于第二开口43的口径。

如图21所示，进行干蚀刻制程，将未被第二光阻层44覆盖的ILD层36去除，直至一预定深度，以形成多数个介层洞45，其中介层洞45的深度超过ILD层36的高度的一半。

接着，如图22所示，将第二光阻层44去除之后，则可使未被硬罩幕40覆盖的ILD层36曝露出来。

随后，如图23所示，进行干蚀刻制程，将未被硬罩幕40覆盖的ILD层36进行干蚀刻制程，直至曝露出介电分隔层34，则原本介层洞45周围的ILD层36会被蚀刻成为一渠沟47，而原本介层洞45下方的ILD层36会被蚀刻成为介层洞45。如此一来，在每个金属导线32上方的介层洞45以及渠沟47构成一双镶嵌开口46。

后续，如图24所示，将双镶嵌开口46底部的介电分隔层34去除，并将硬罩幕40去除，则可使金属导线32的顶部区域曝露在双镶嵌开口46的底部。

接下来，可依照制程需要与设计进行相关的半导体制程，以于双镶嵌开口46内制作一双镶嵌结构的内连线。参阅实施例1的图13-15所示的方法制作双镶嵌结构50'。故不重述。

实施例3

本发明第三实施例的双镶嵌制程中，是于低介电常数的ILD层上制作双层硬罩幕，而且此双层硬罩幕可均为金属材质，也可其中一层硬罩幕为金属材质。此外，不同于实施例1之处，在于ILD层中另制作一蚀刻停止层。

参阅图25-图34所示，本发明的实施例3的双镶嵌制程包括如下步骤：

如图25所示,一半导体基底30包含有金属导线32、介电分隔层34、一第一ILD层361、一蚀刻停止层35、一第二ILD层362、第一硬罩幕38以及第二硬罩幕40。第一ILD层361或是第二ILD层362的材质可为高分子材料,如:经由旋涂制程制作的SOP、FLARE、SILK、Parylene、PAE-11或聚酰亚胺。第一ILD层361或是第二ILD层362的材质也可为含有 SiO_2 的无机材质,如:经由旋涂制程制作的 SiO_2 、FSG、FUG或是经由CVD制作的black diamond、Coral、Aurora、GreenDot或其它介电材质。蚀刻停止层35的材质可为 SiO_2 、 SiC 、 SiN 、 SiO 或 SiON ,可供作渠沟47的蚀刻终点,亦可作为制作介层洞45的硬罩幕。第一硬罩幕38的材质可选用Ti、TiN、Ta、TaN、Al或AlCu等金属材质,第二硬罩幕40的材质可选用Ti、TiN、Ta、TaN、Al或AlCu等金属材质,第一硬罩幕40的材质也可选用 SiO_2 、 SiC 、 SiN 、 SiO 或 SiON 等介电材质。

如图26-图29所示,依照实施例1所述的方法,利用第一光阻层42与第二光阻层44,以于第二硬罩幕40中形成多数个第一开口41,并于第一硬罩幕38中形成多数个第二开口43,其中第一开口41的口径系大于第二开口43的口径。

然后,如图30所示,进行干蚀刻制程,先将第二ILD层362的曝露区域去除,再依序将蚀刻停止层35与第一ILD层361去除,直至曝露出介电分隔层34,便可于每个金属导线32上方形成一介层洞45。

接着,如图31所示,将第一硬罩幕38的曝露区域去除,以使第二硬罩幕40与第一硬罩幕38的侧壁切齐。

后续,如图32所示,将第二ILD层362的曝露区域去除,直至曝露出蚀刻停止层35,便可形成多数个渠沟47。如此一来,在每个金属导线32上方的介层洞45以及渠沟47是构成一双镶嵌开口46。

最后,如图33所示,将双镶嵌口46底部的介电分隔层34去除,并将第二硬罩幕40去除,则金属导线32的顶部区域曝露在双镶嵌开口46的底部。

接下来，可依照制程需要与设计进行相关的半导体制程，按照实施例1的方法制作双镶嵌结构，以于双镶嵌开口46内制作一双镶嵌结构50²，结果如图34所示。

虽然本发明已以较佳实施例揭露如上，然其并非用以限定本发明，任何熟习此技艺者，在不脱离本发明的精神和范围内，所作些许的更动与润饰，都属于本发明的保护范围之内。

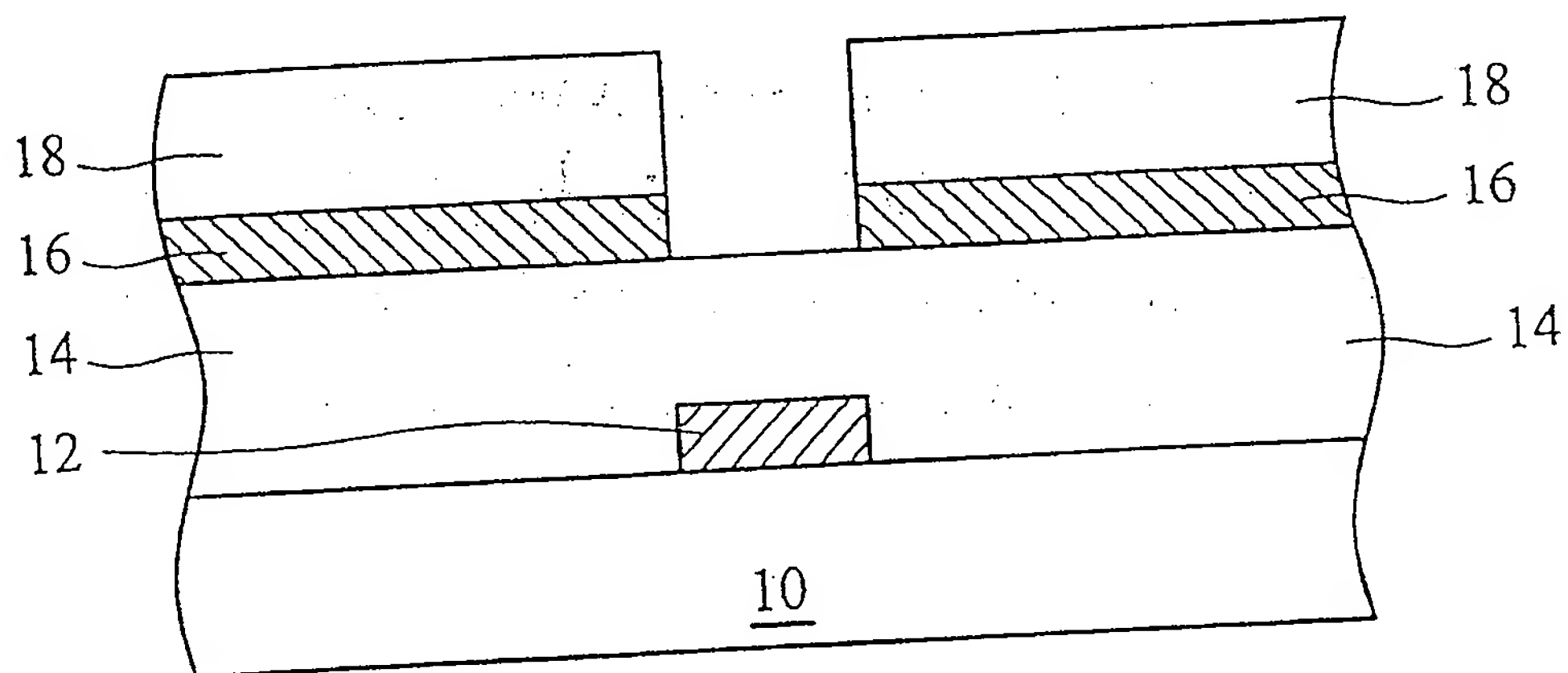


图 1

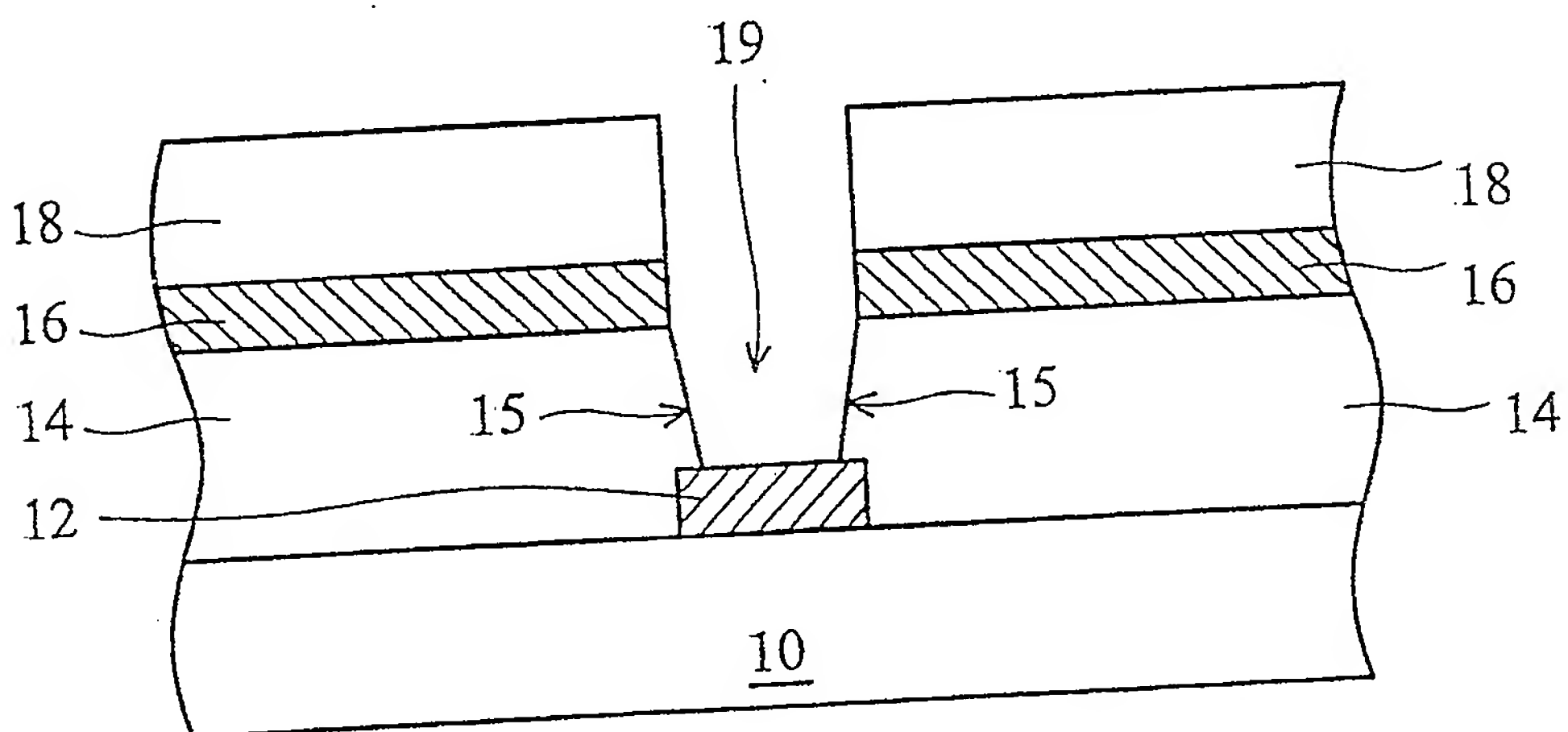


图 2

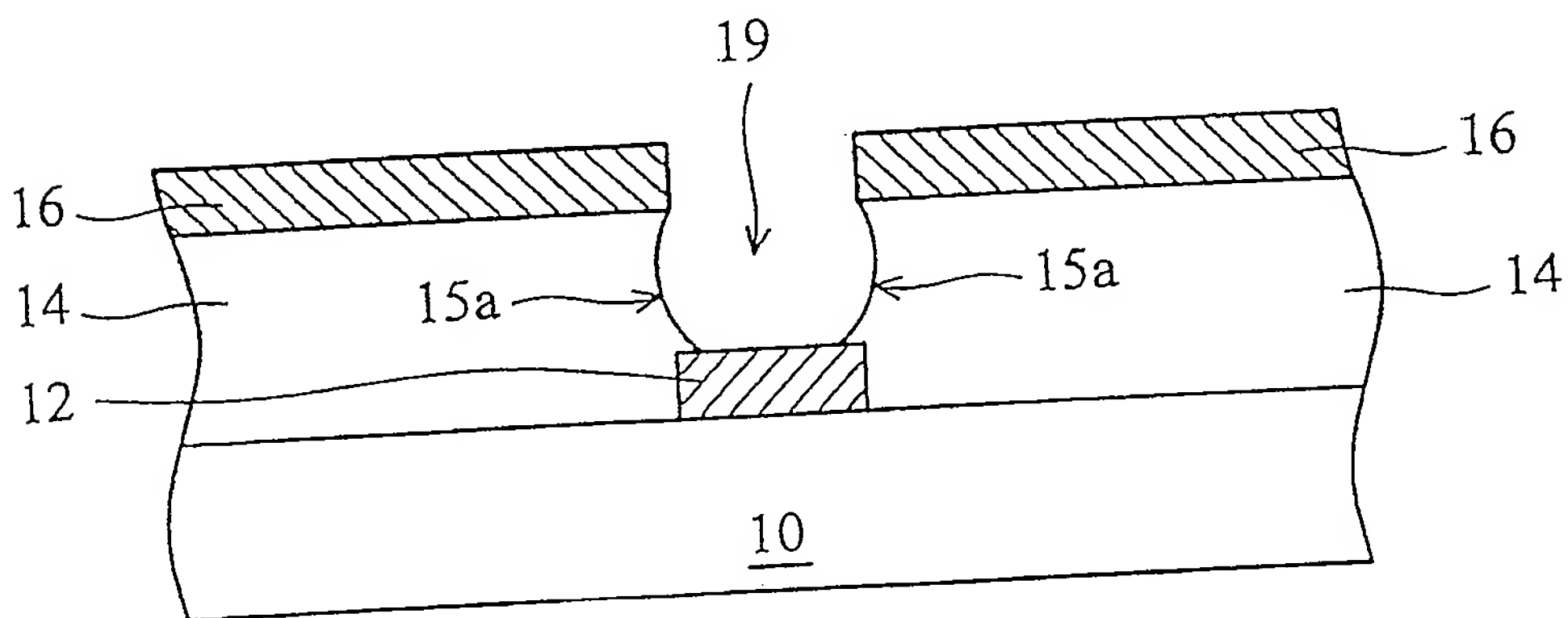


图 3

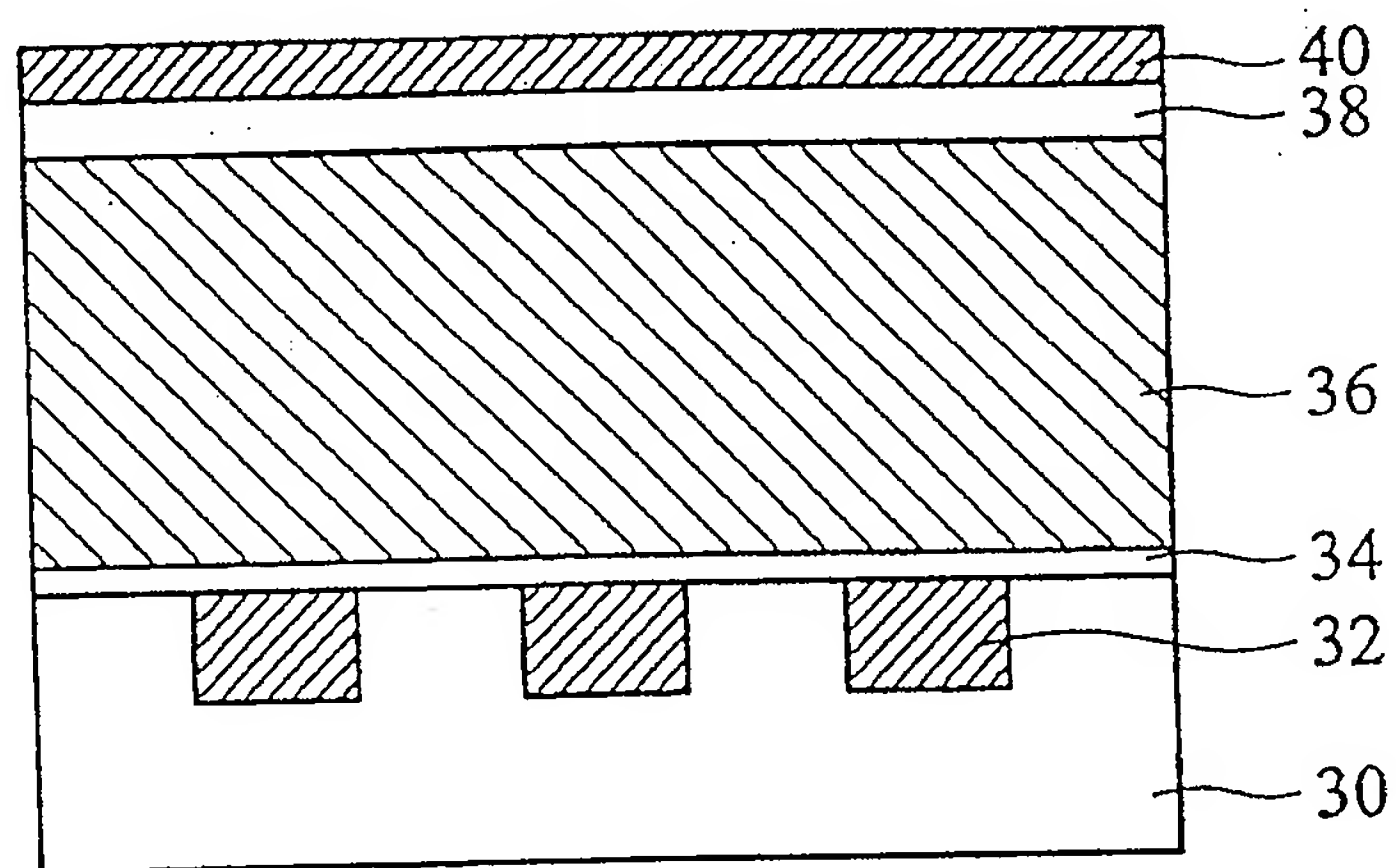


图 4

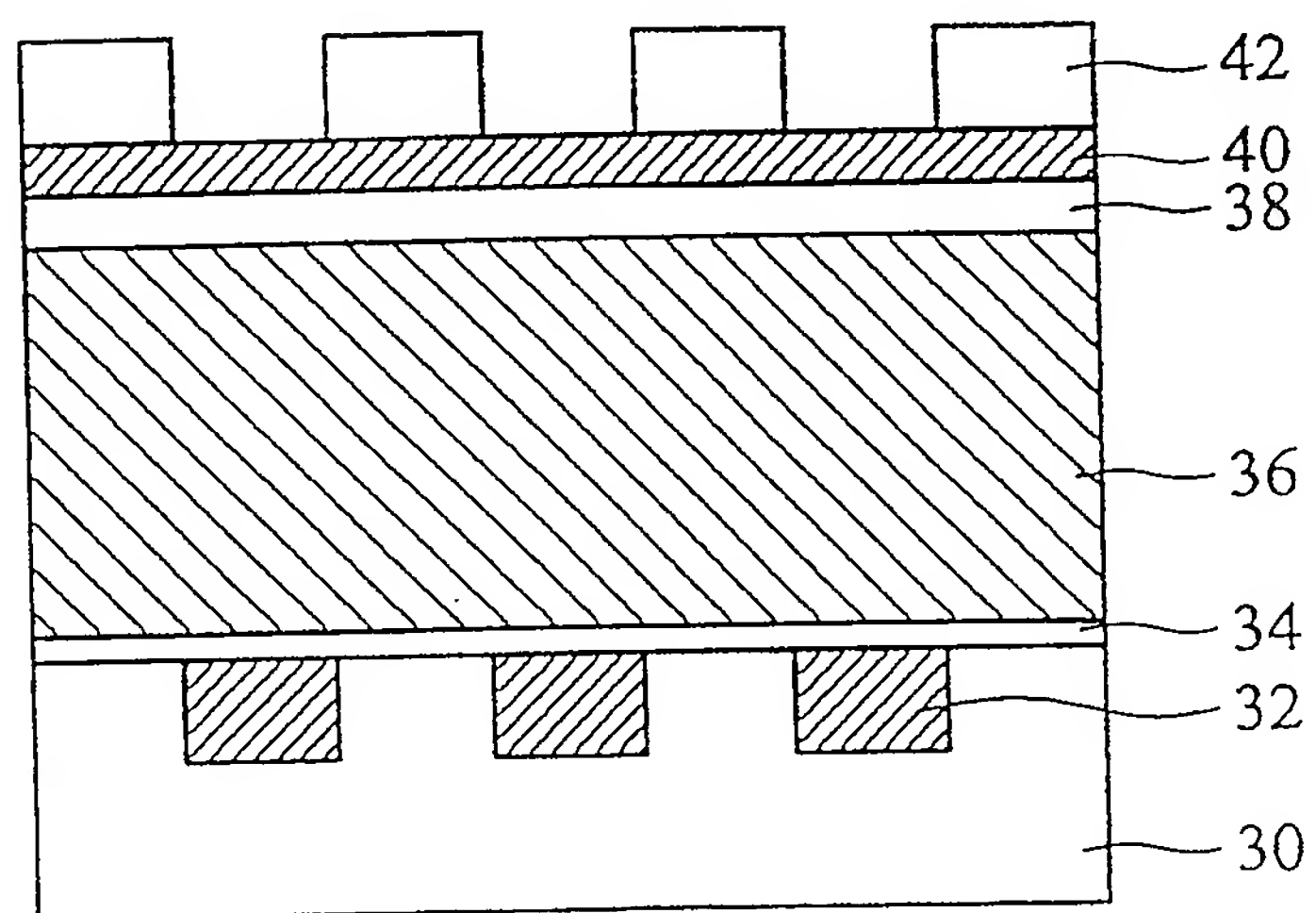


图 5

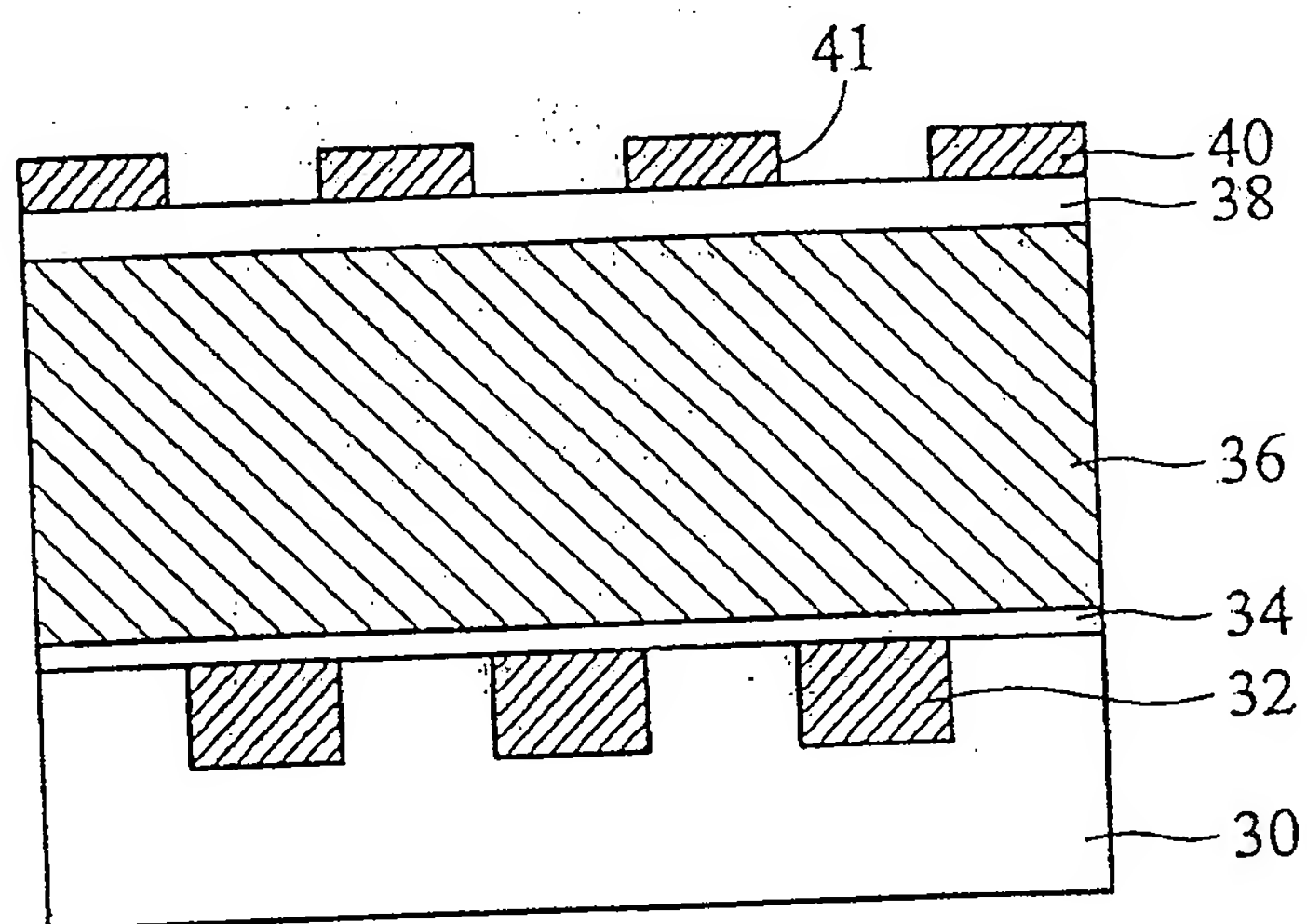


图 6

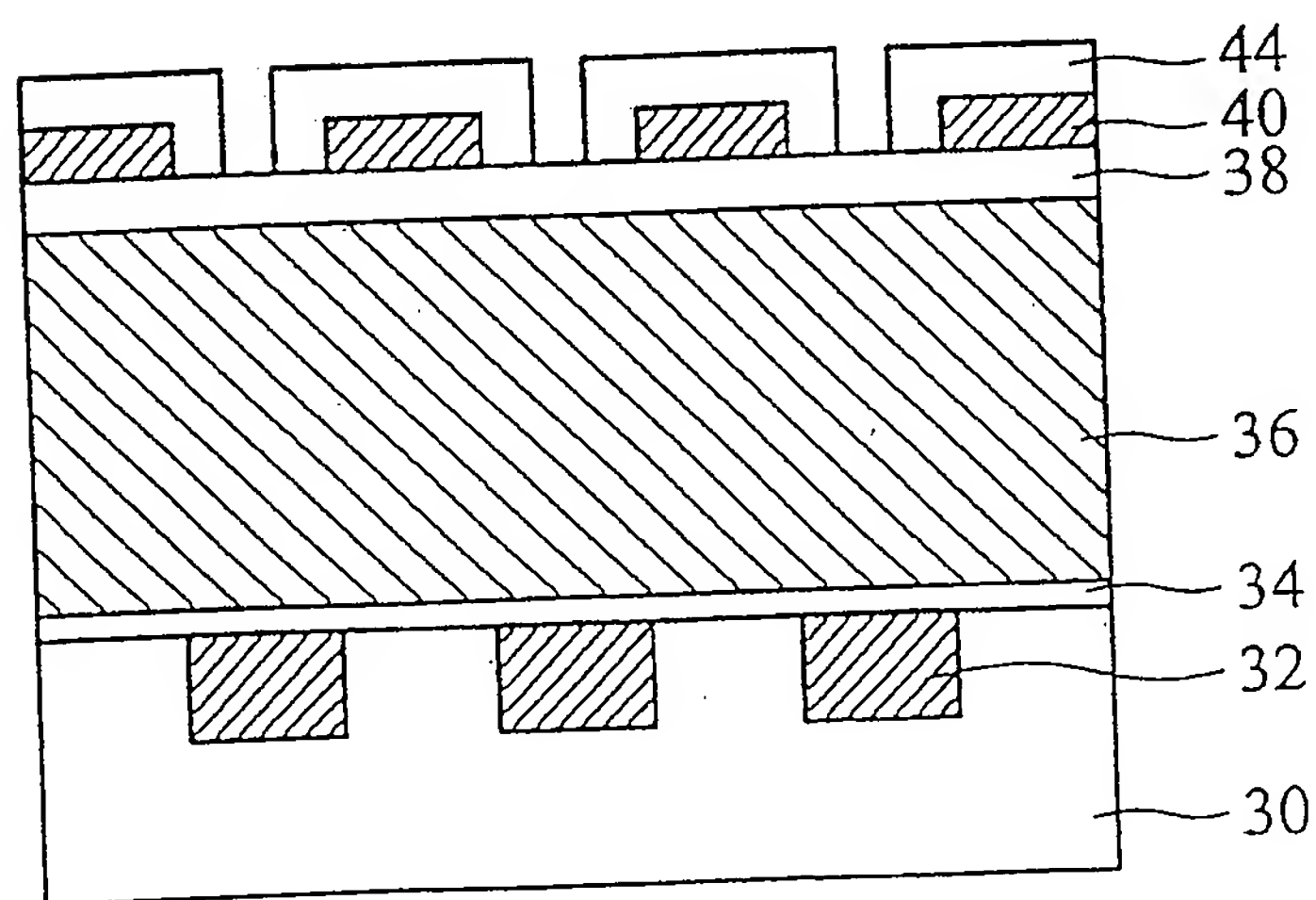


图 7

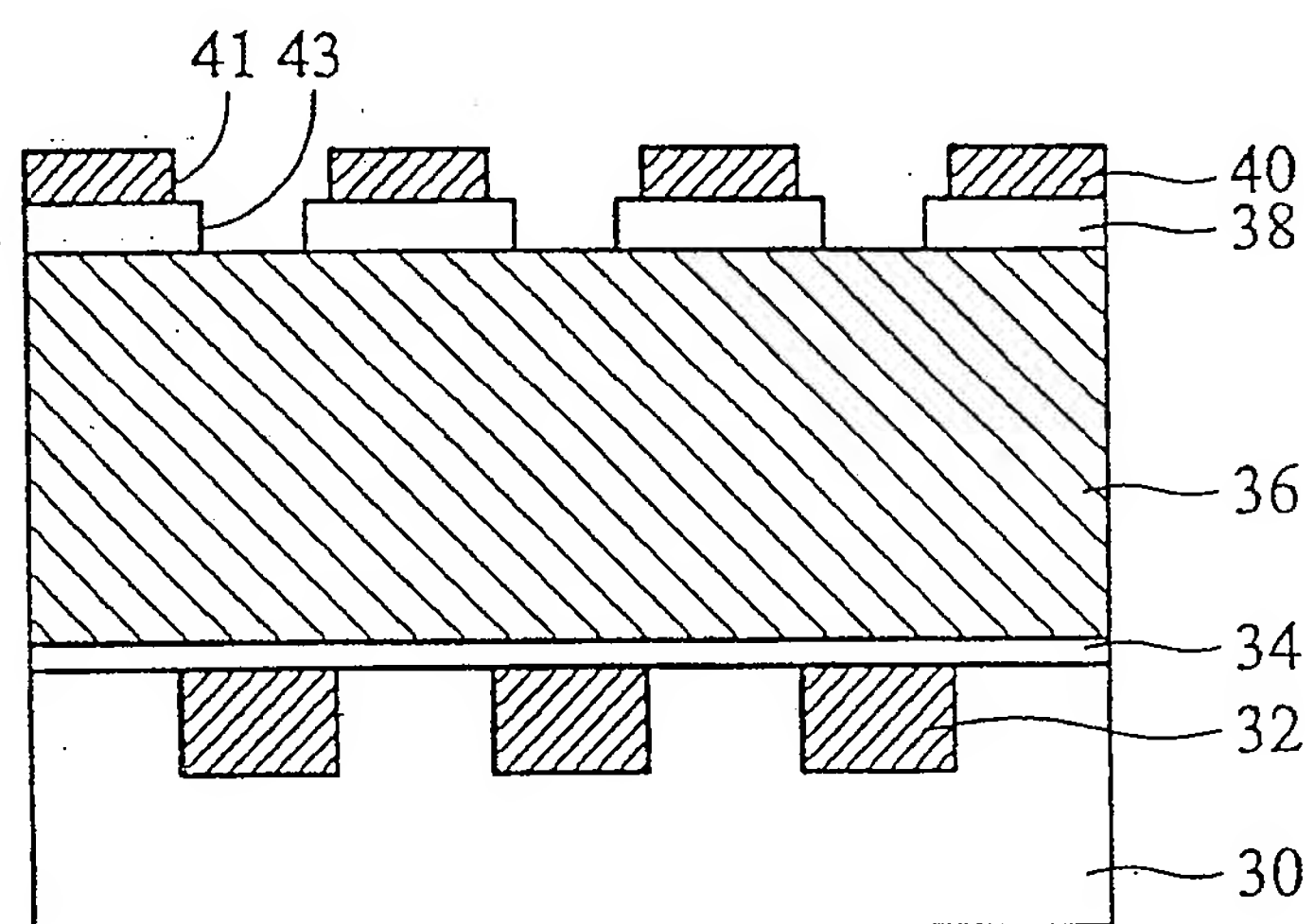


图 8

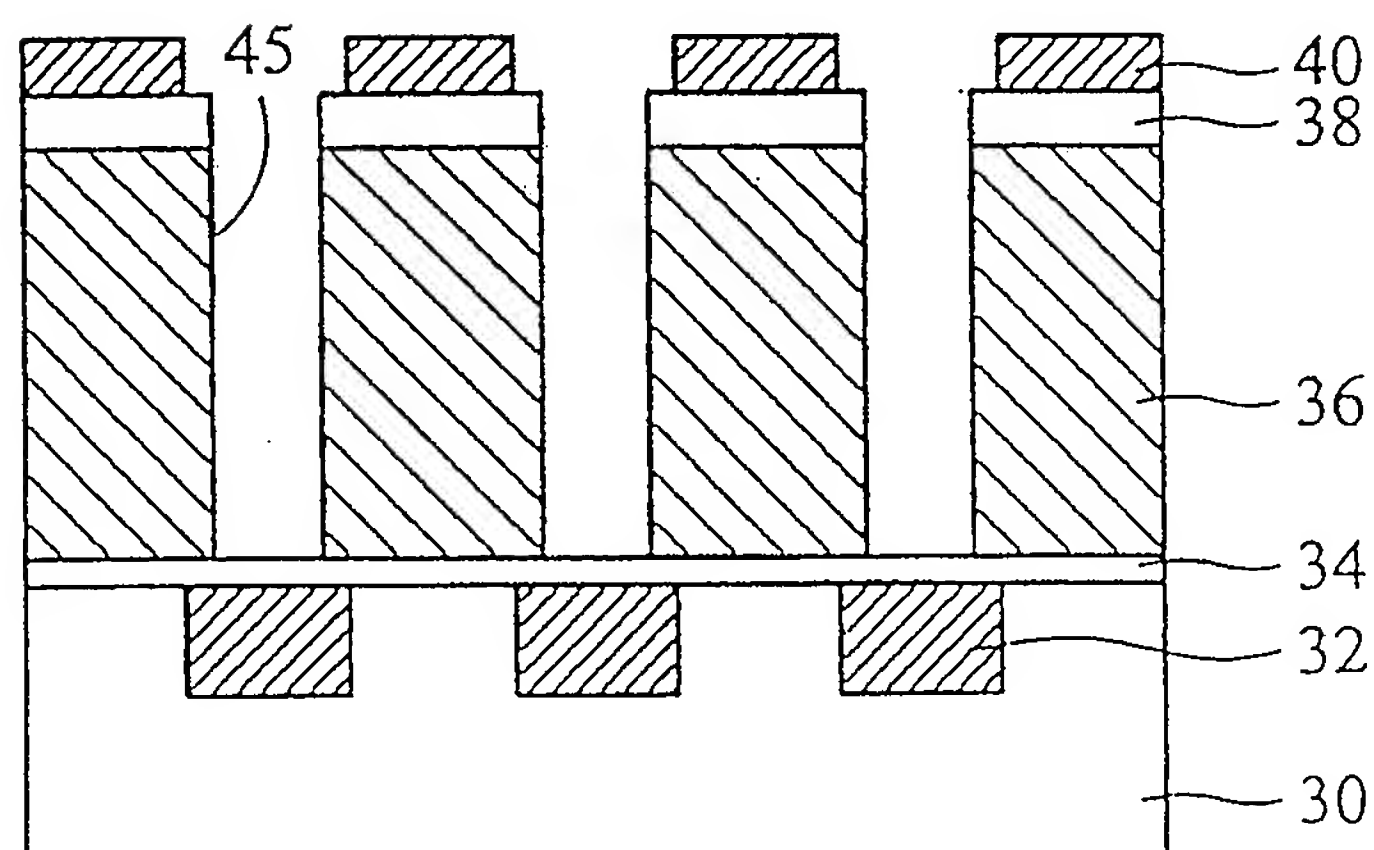


图 9

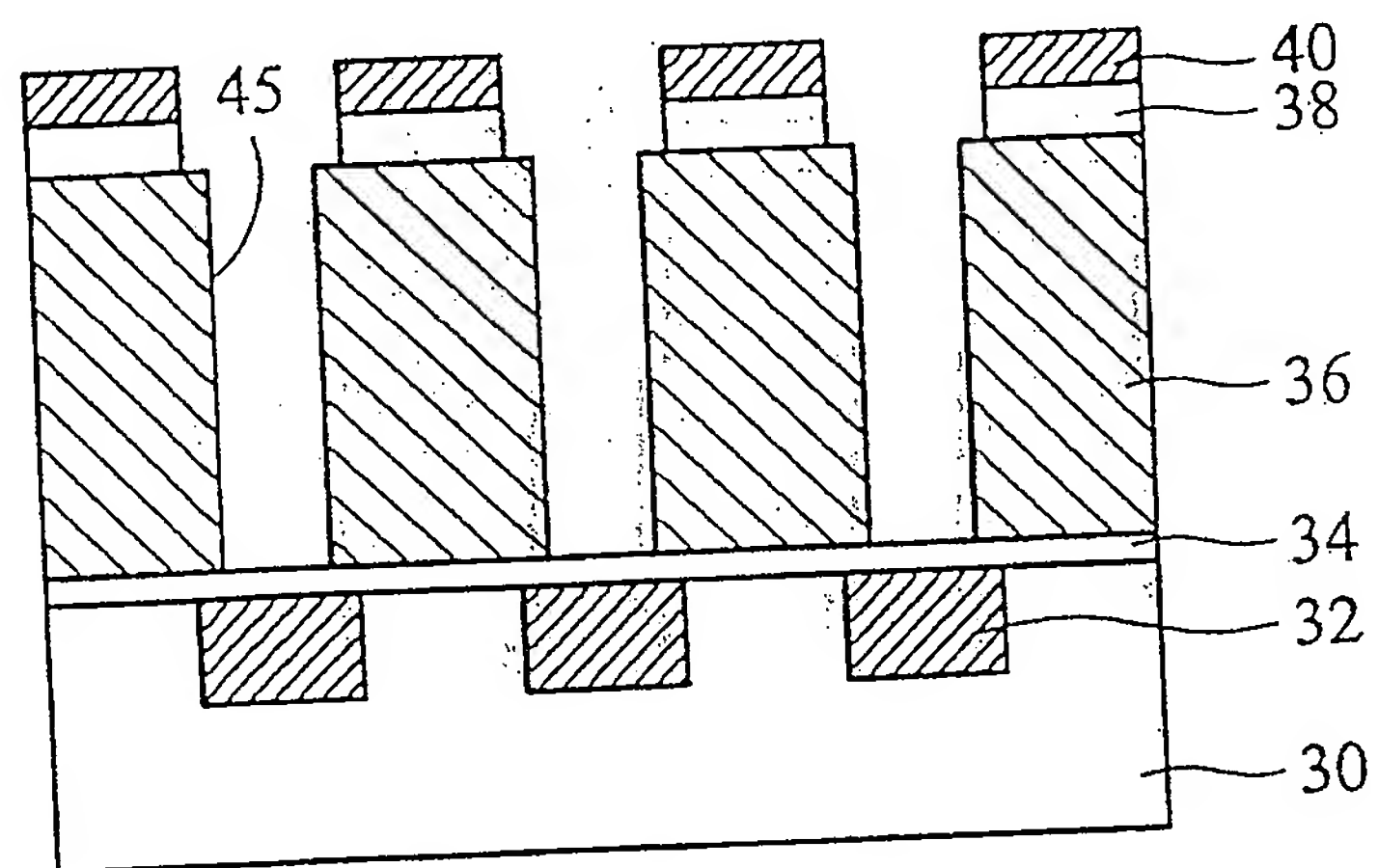


图 10

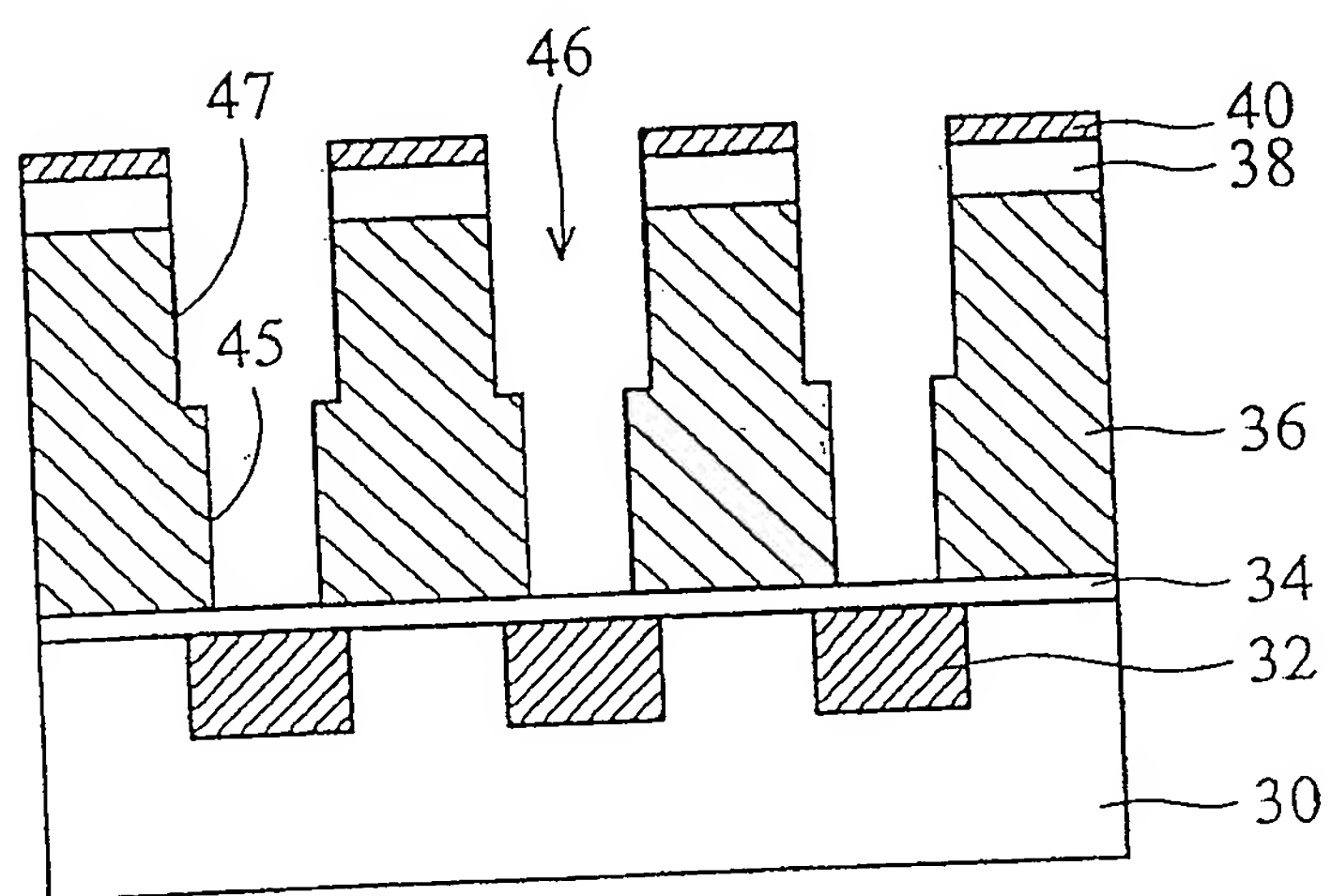


图 11

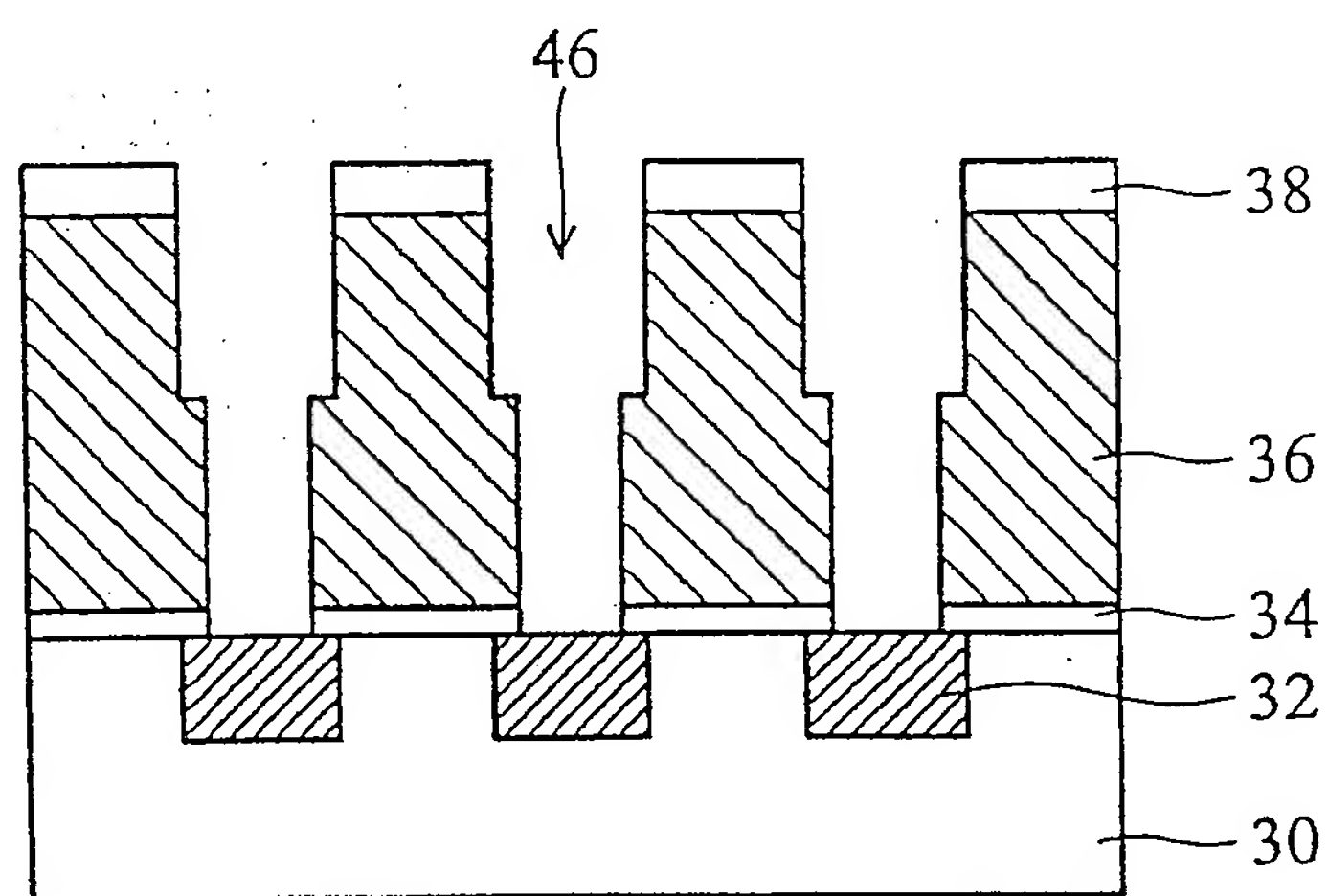


图 12

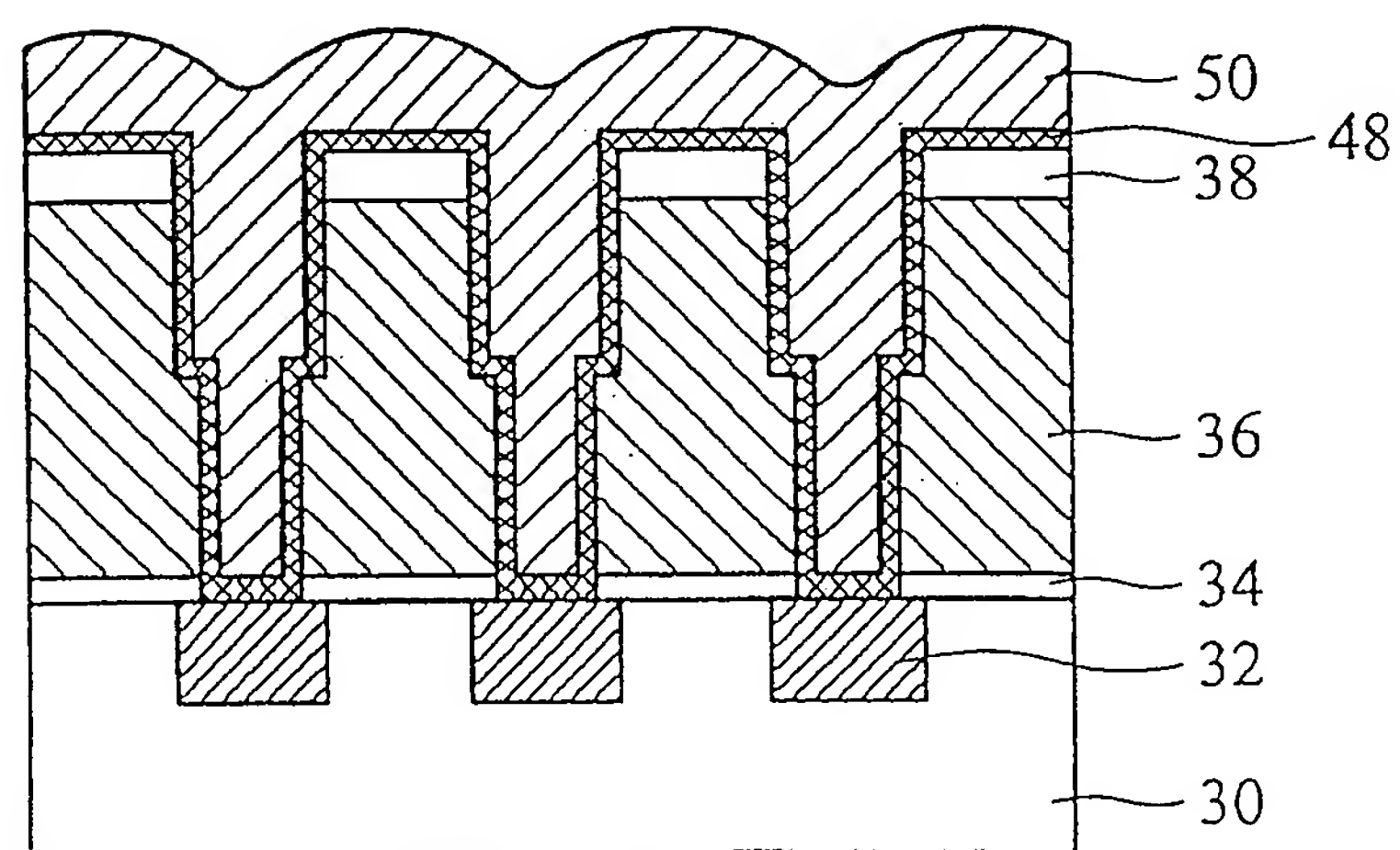


图 13

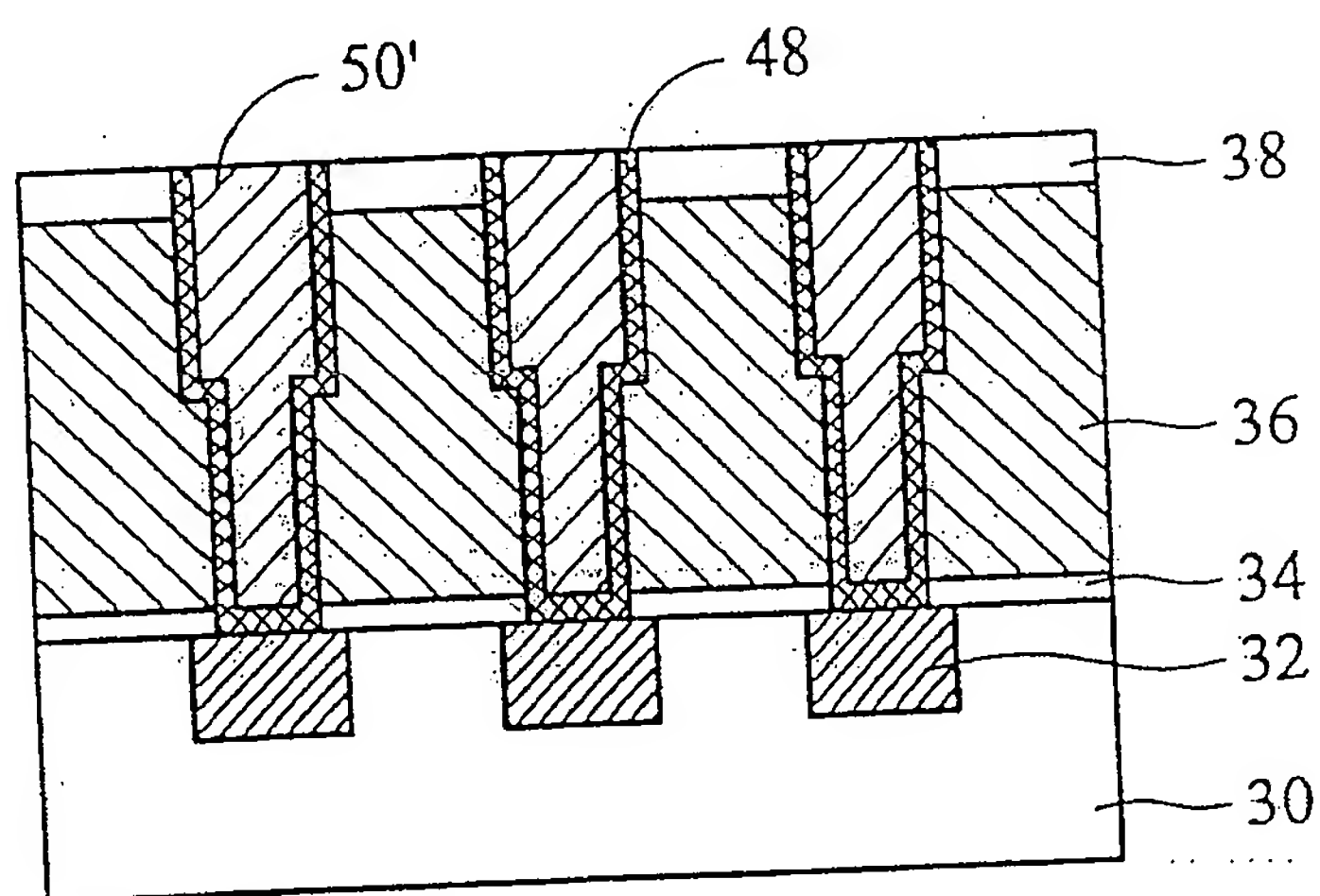


图 14

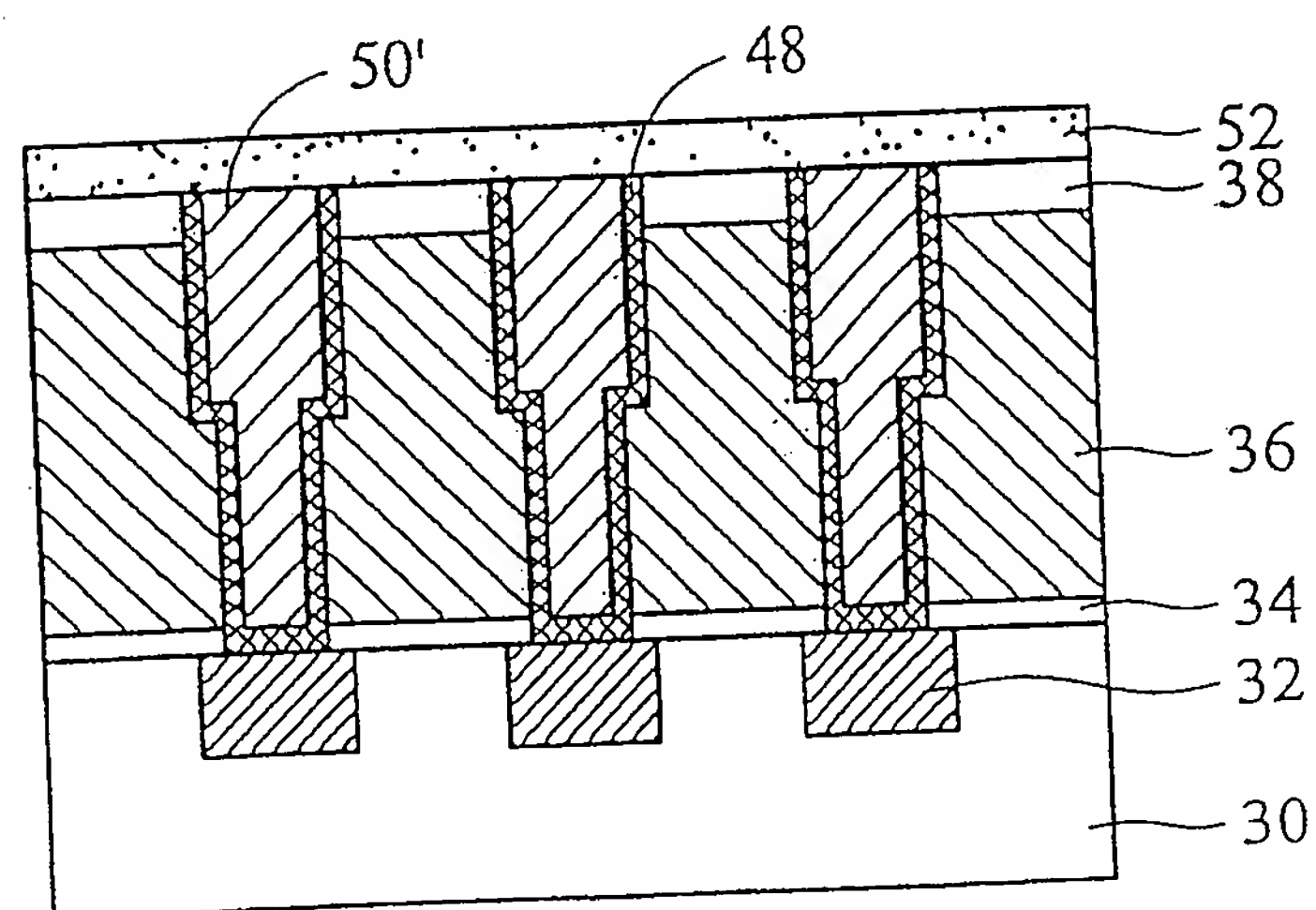


图 15

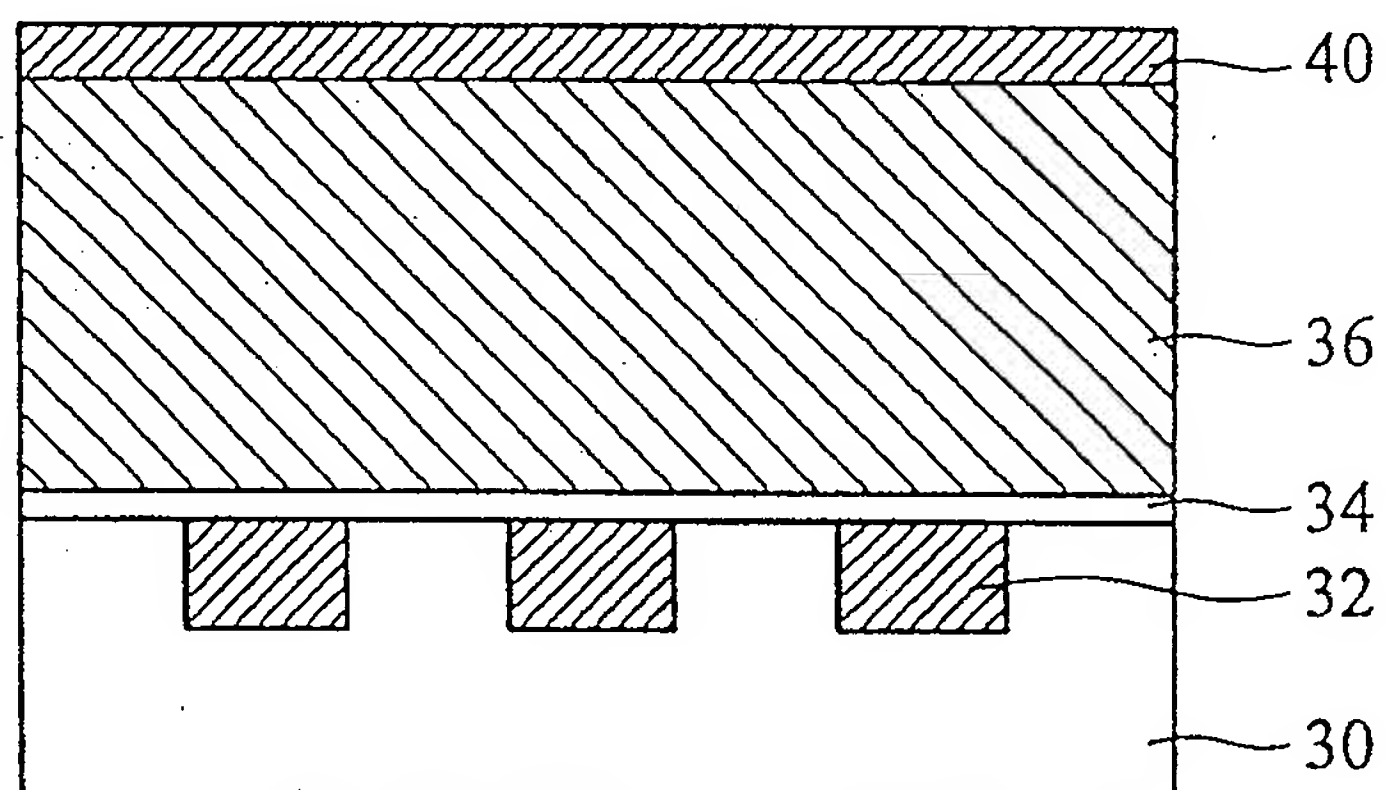


图 16

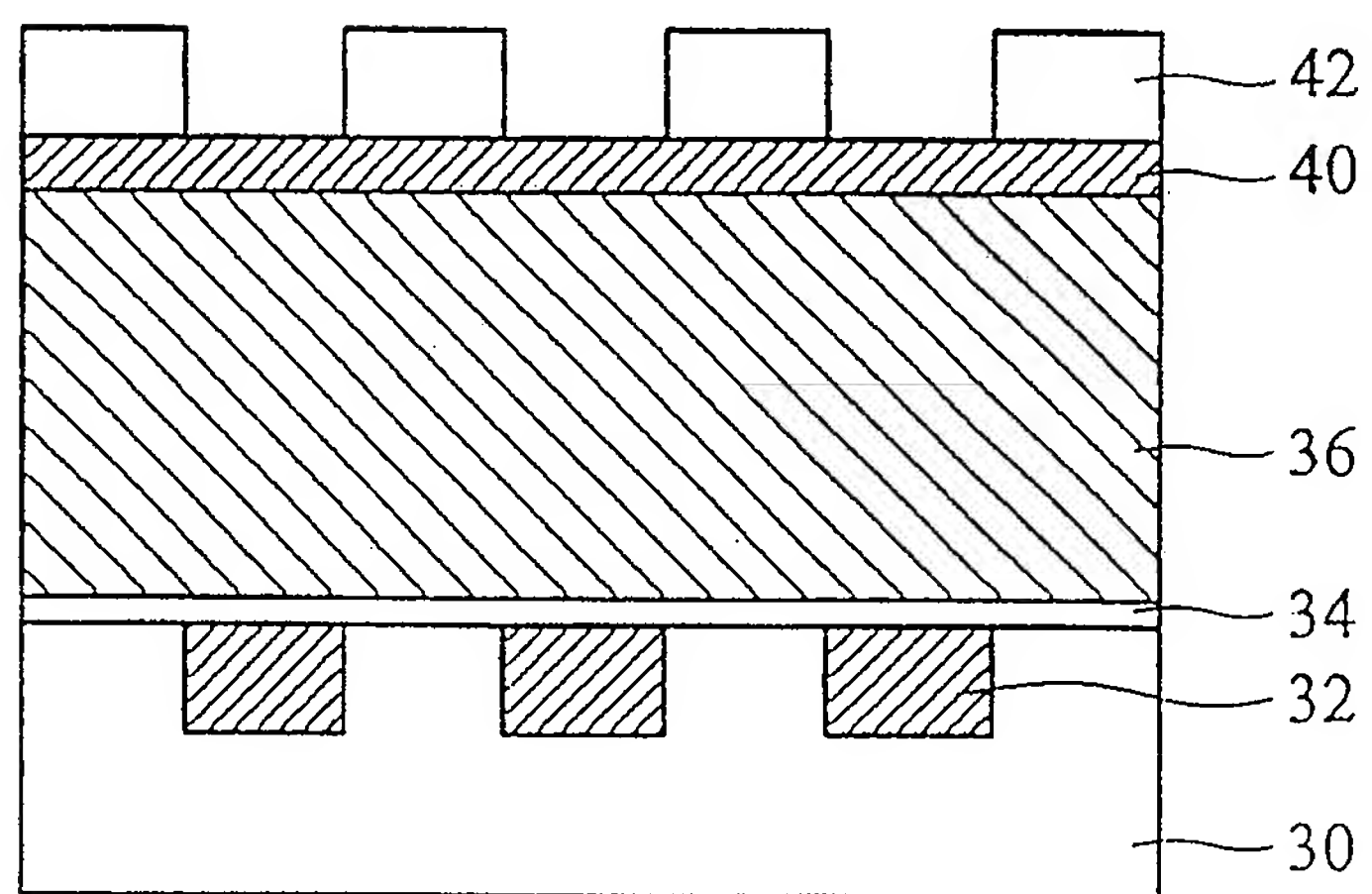


图 17

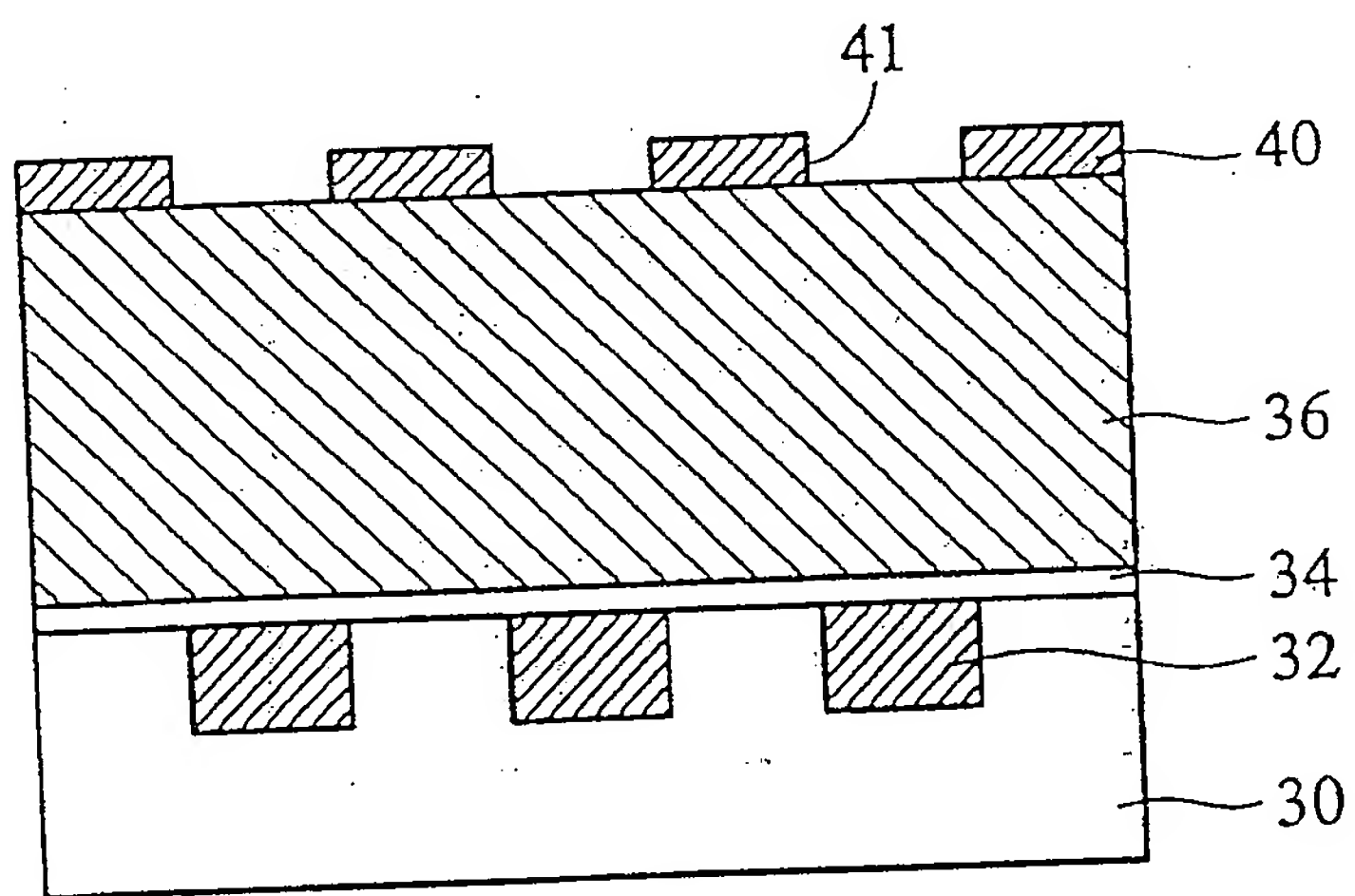


图 18

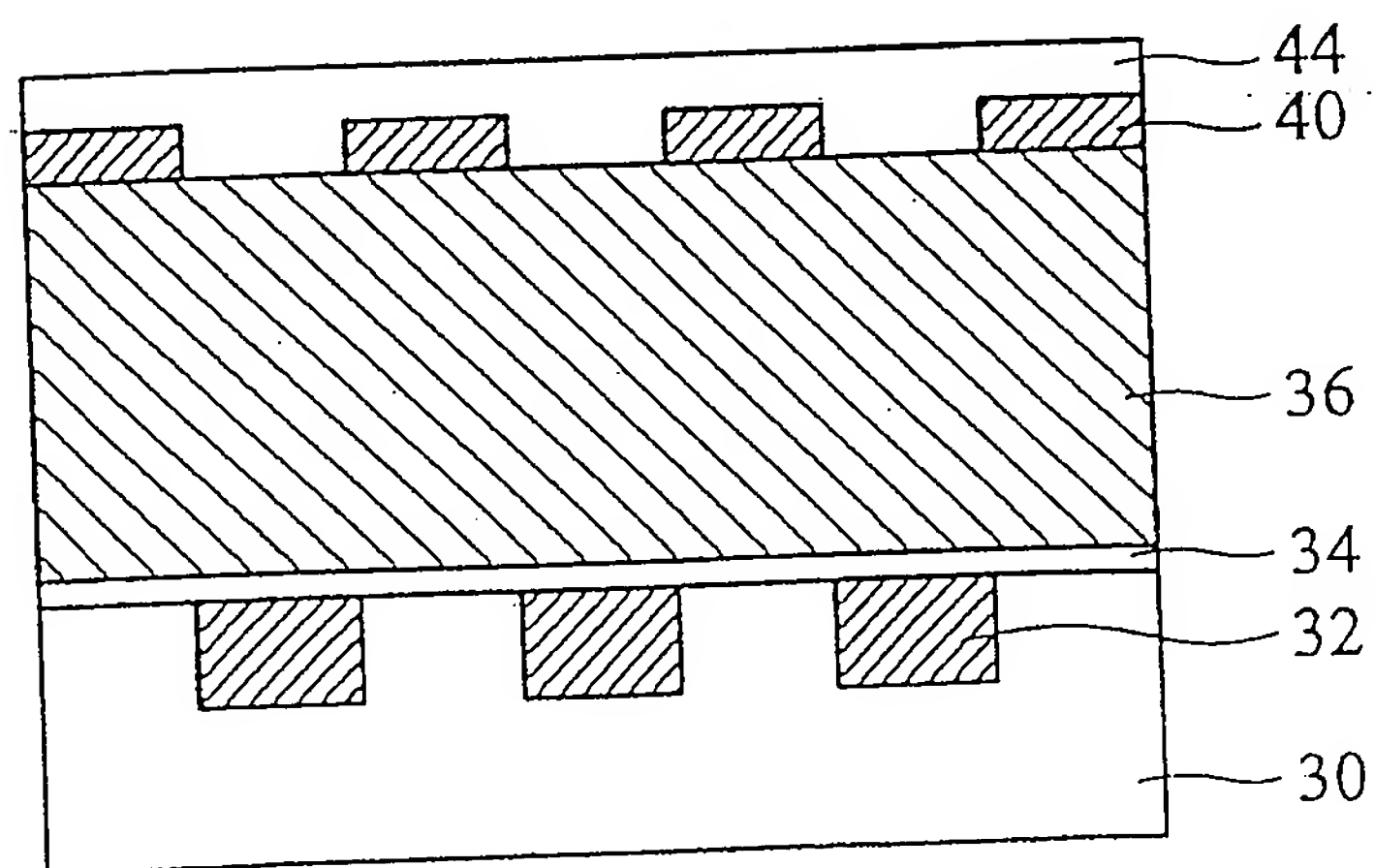


图 19

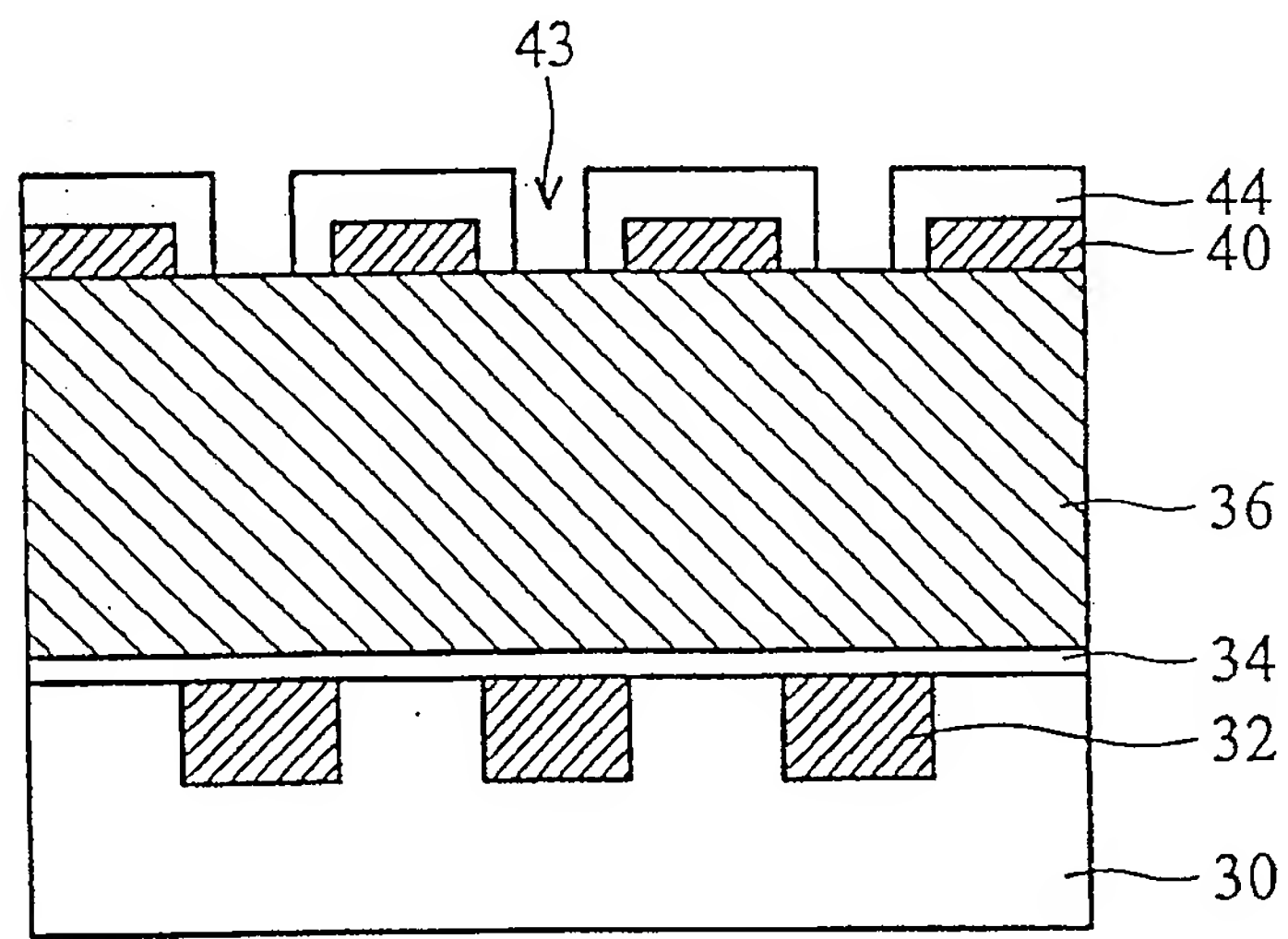


图 20

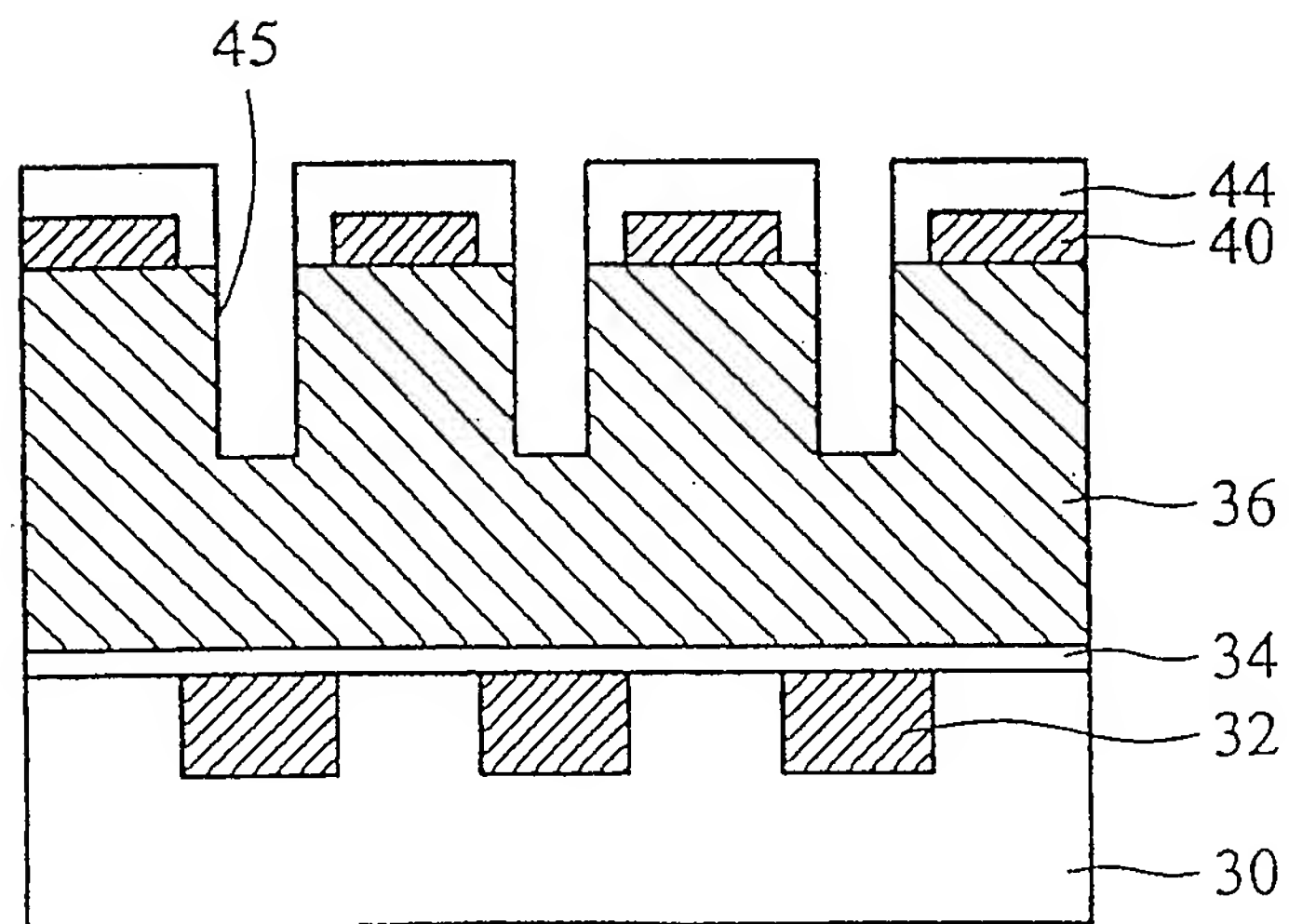


图 21

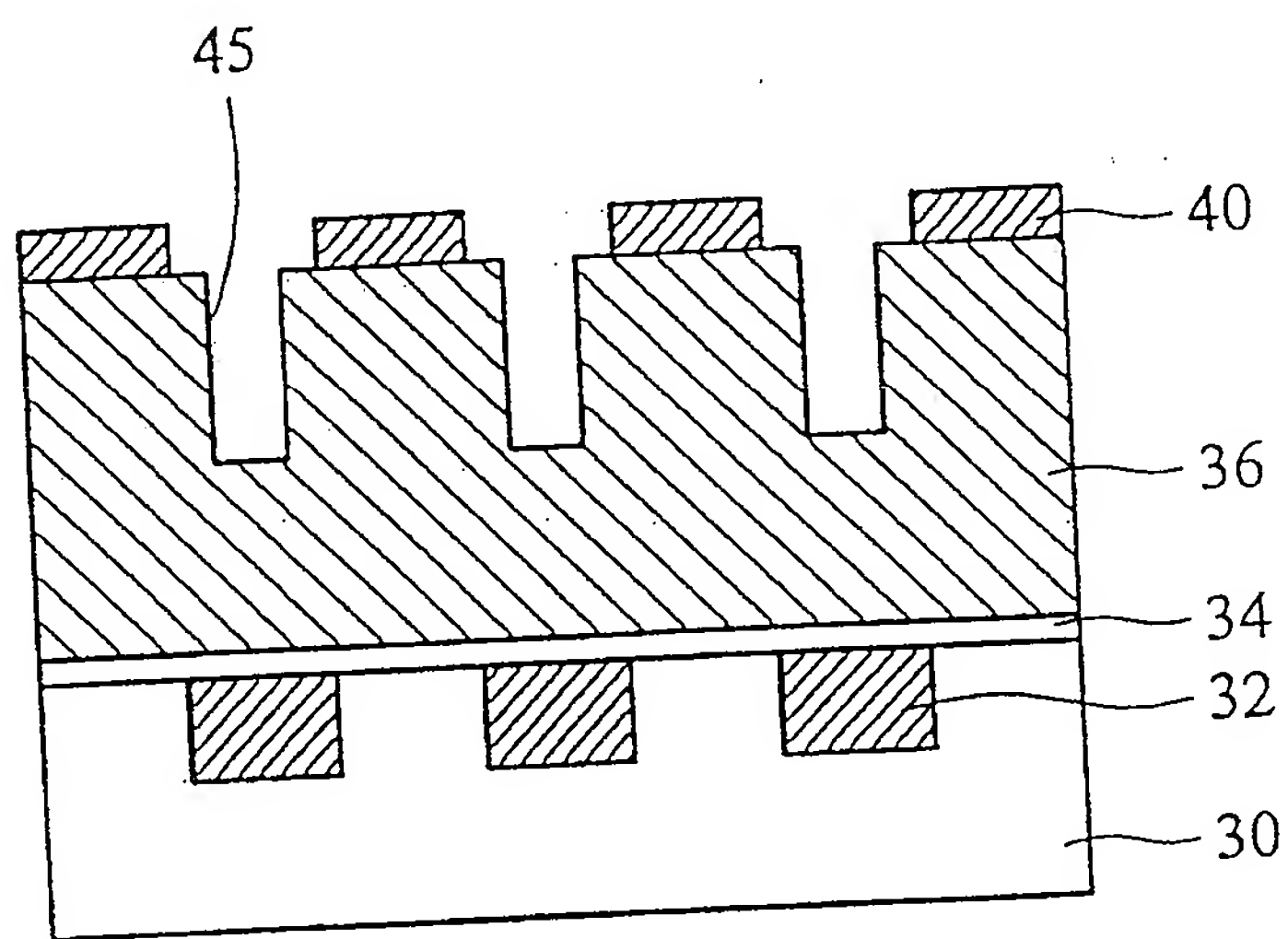


图 22

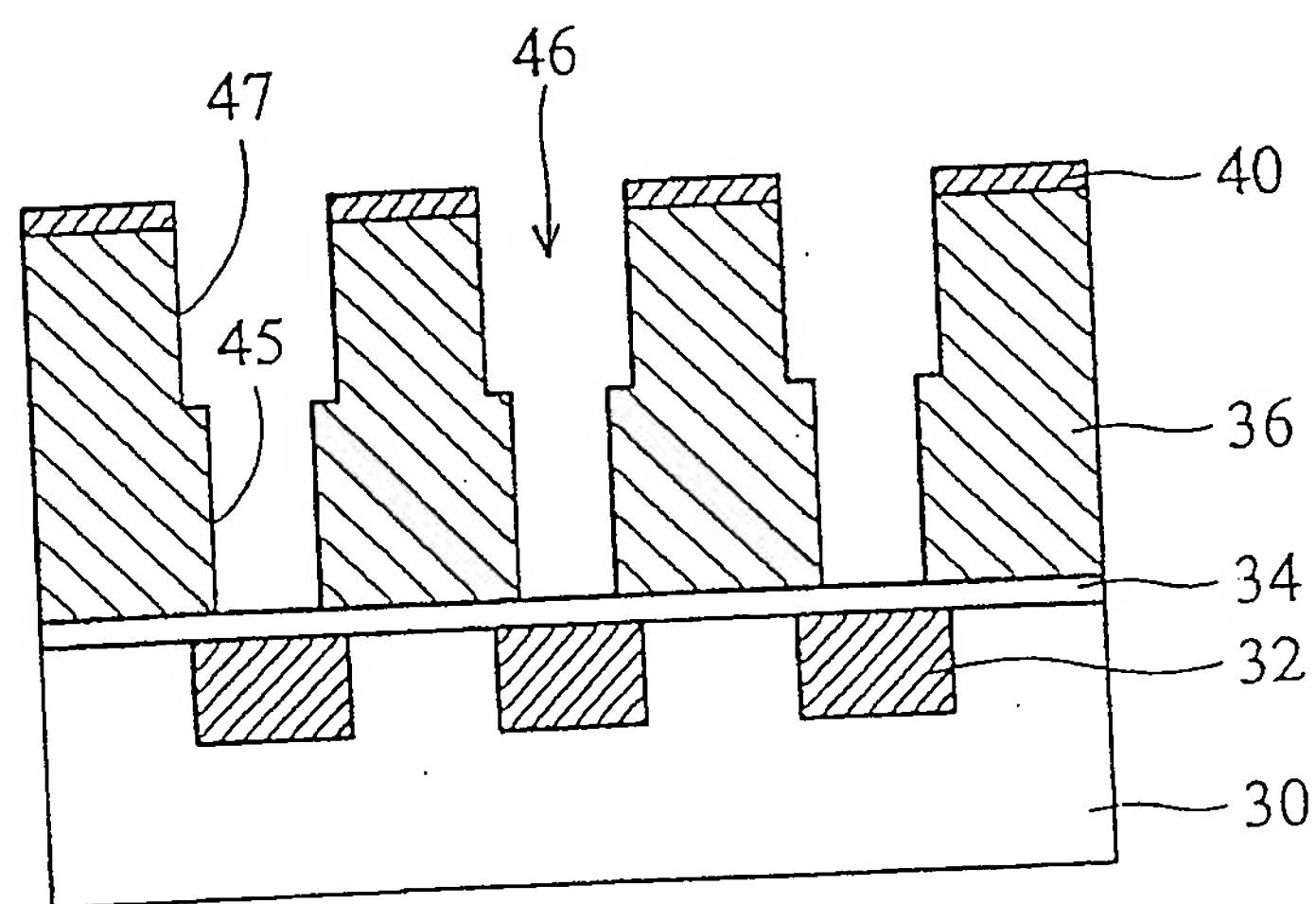


图 23

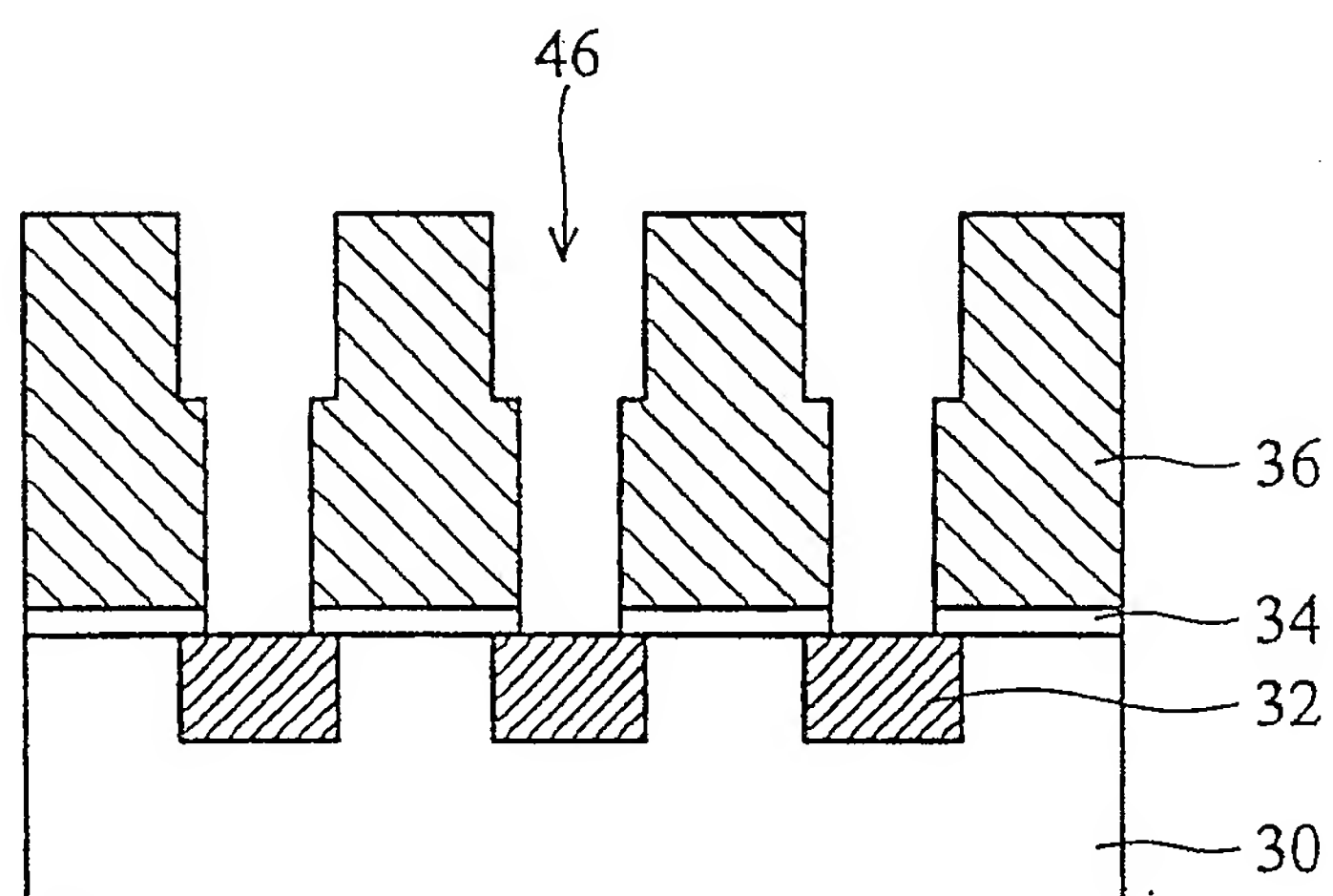


图 24

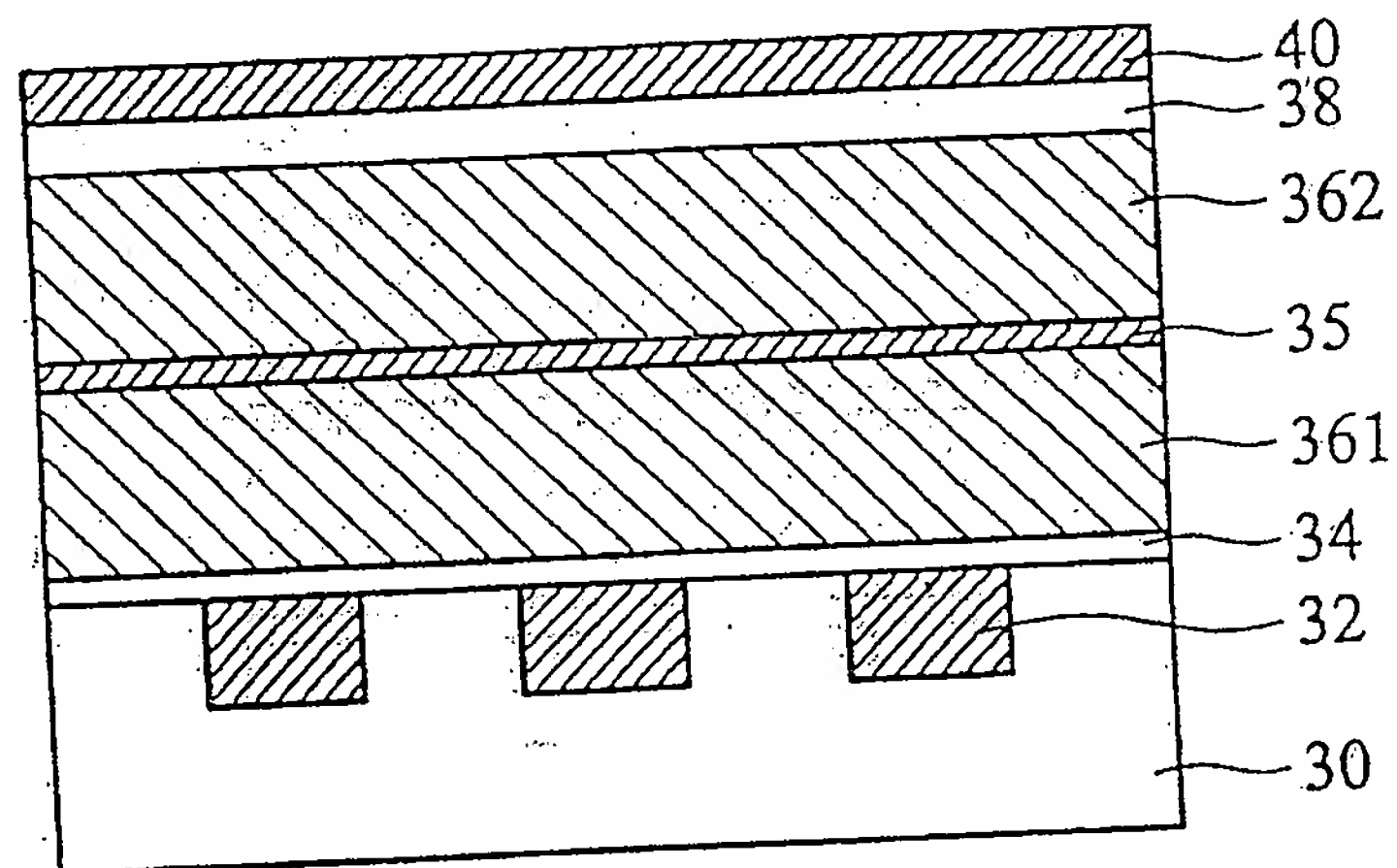


图 25

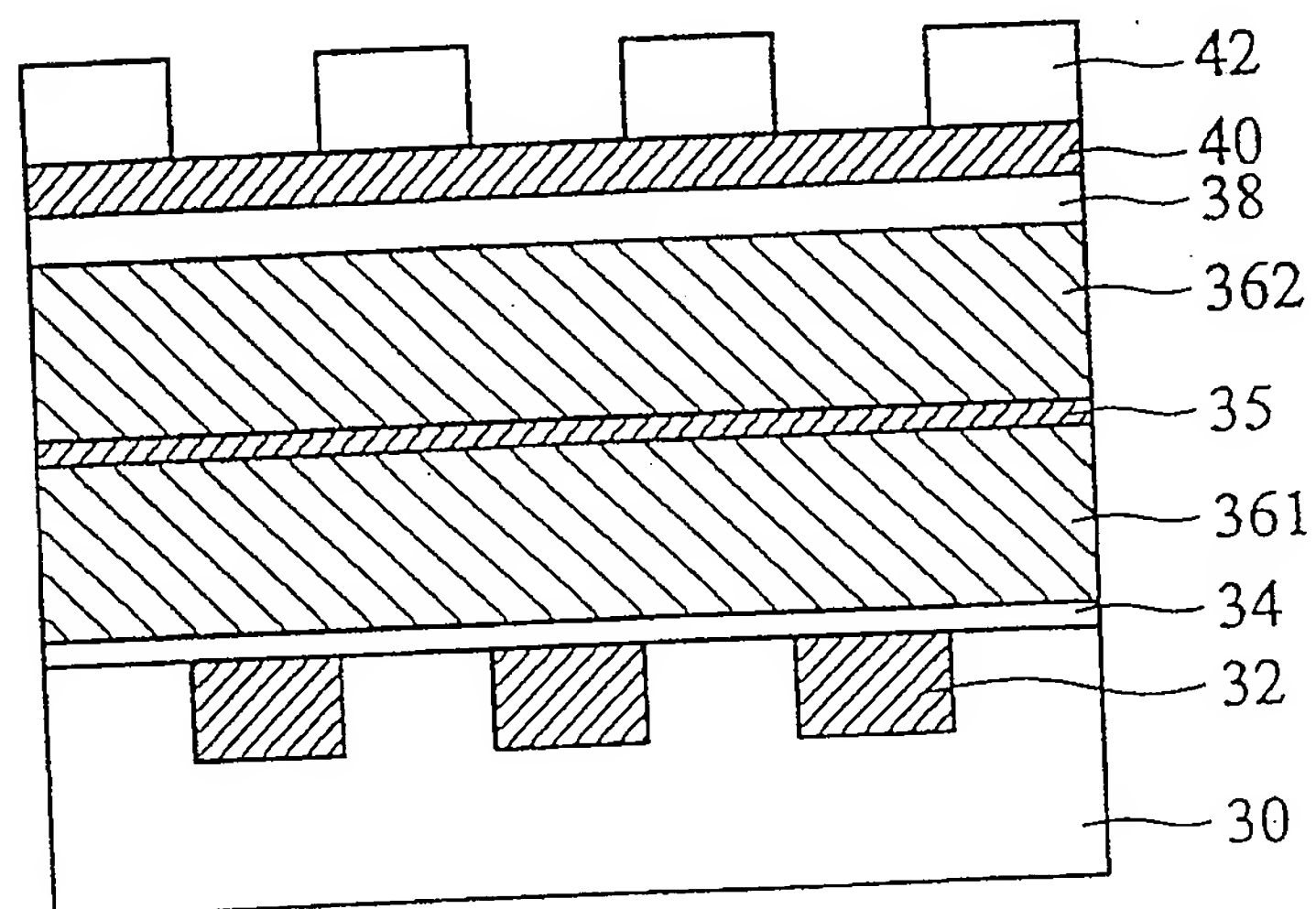


图 26

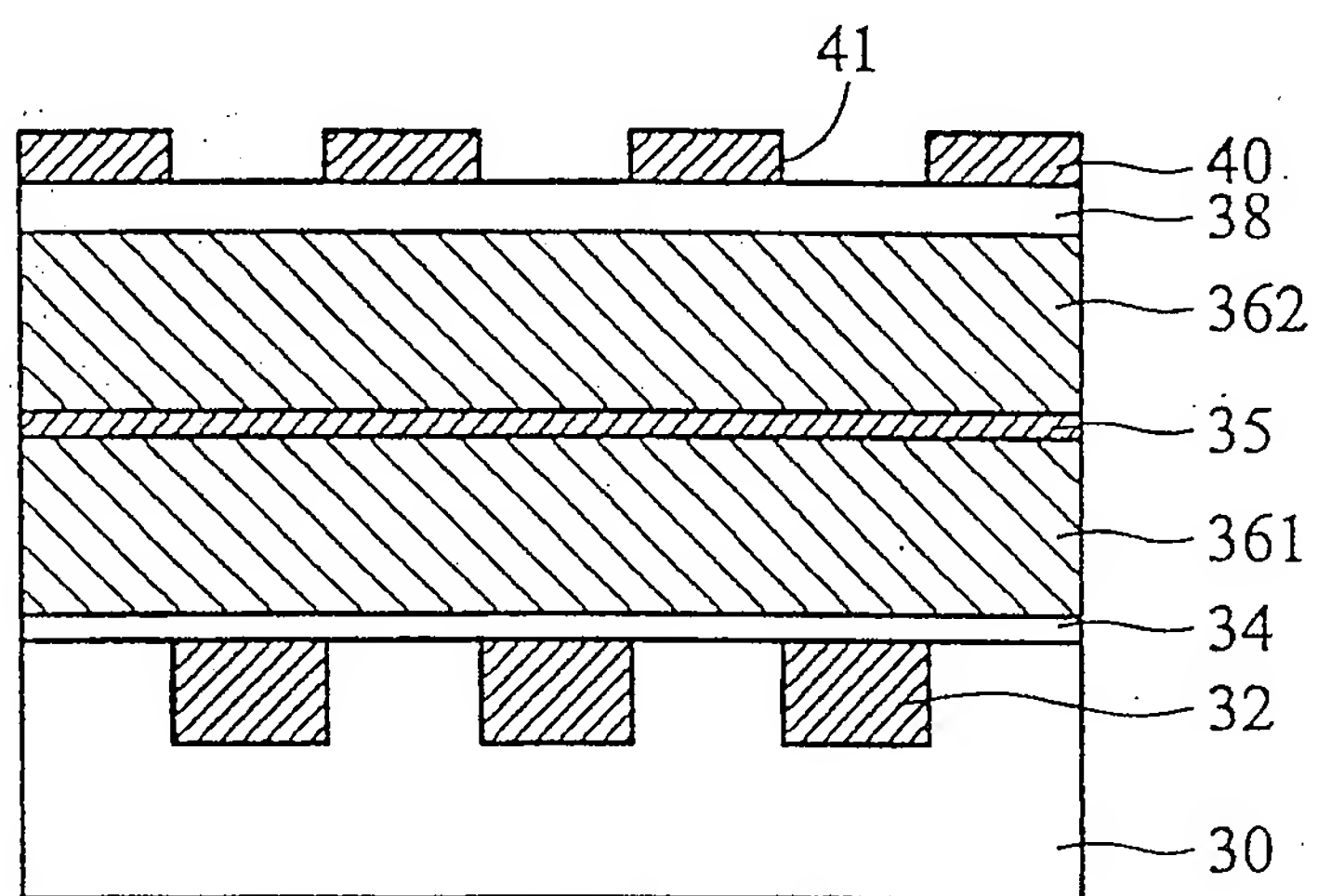


图 27

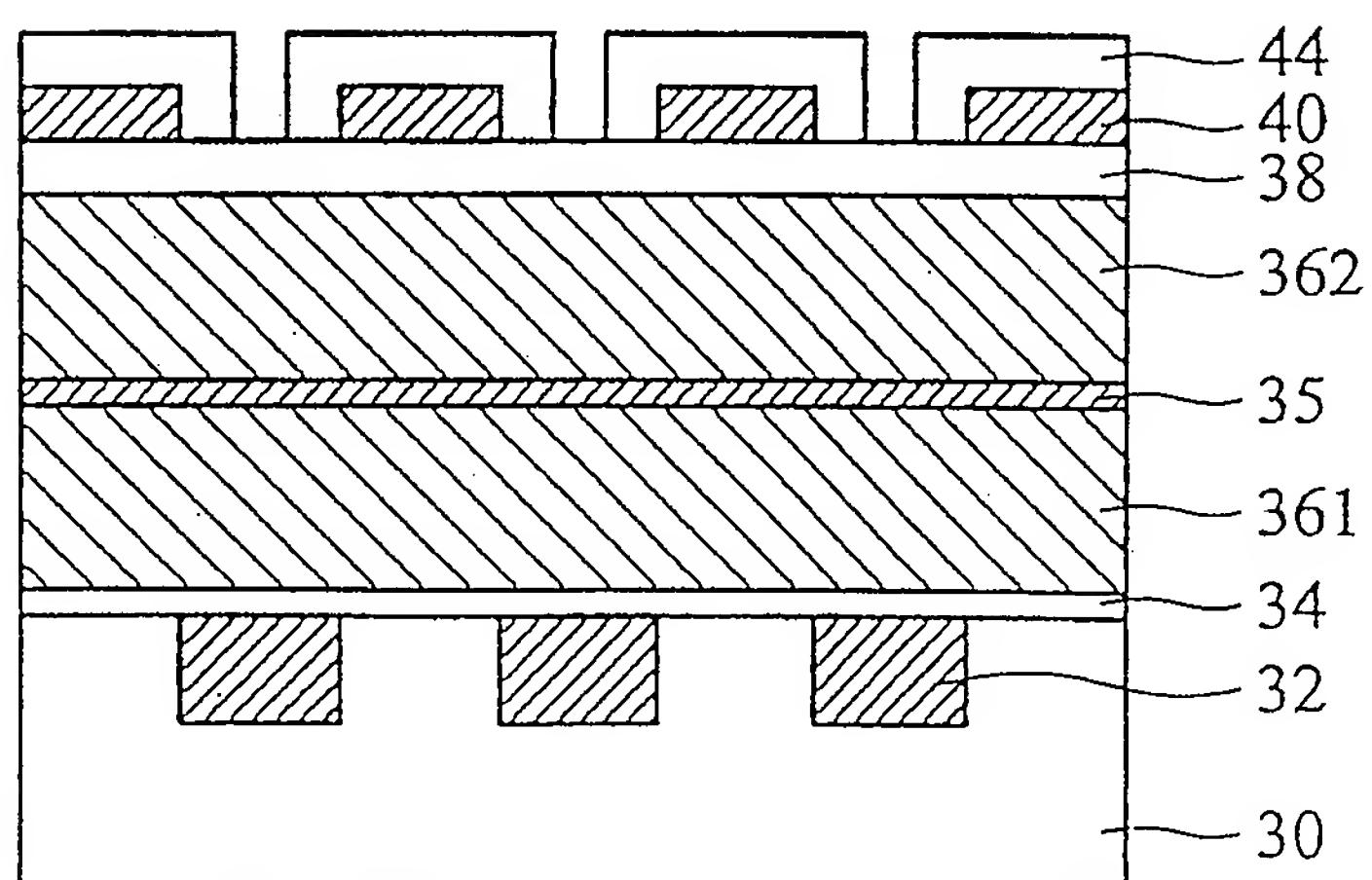


图 28

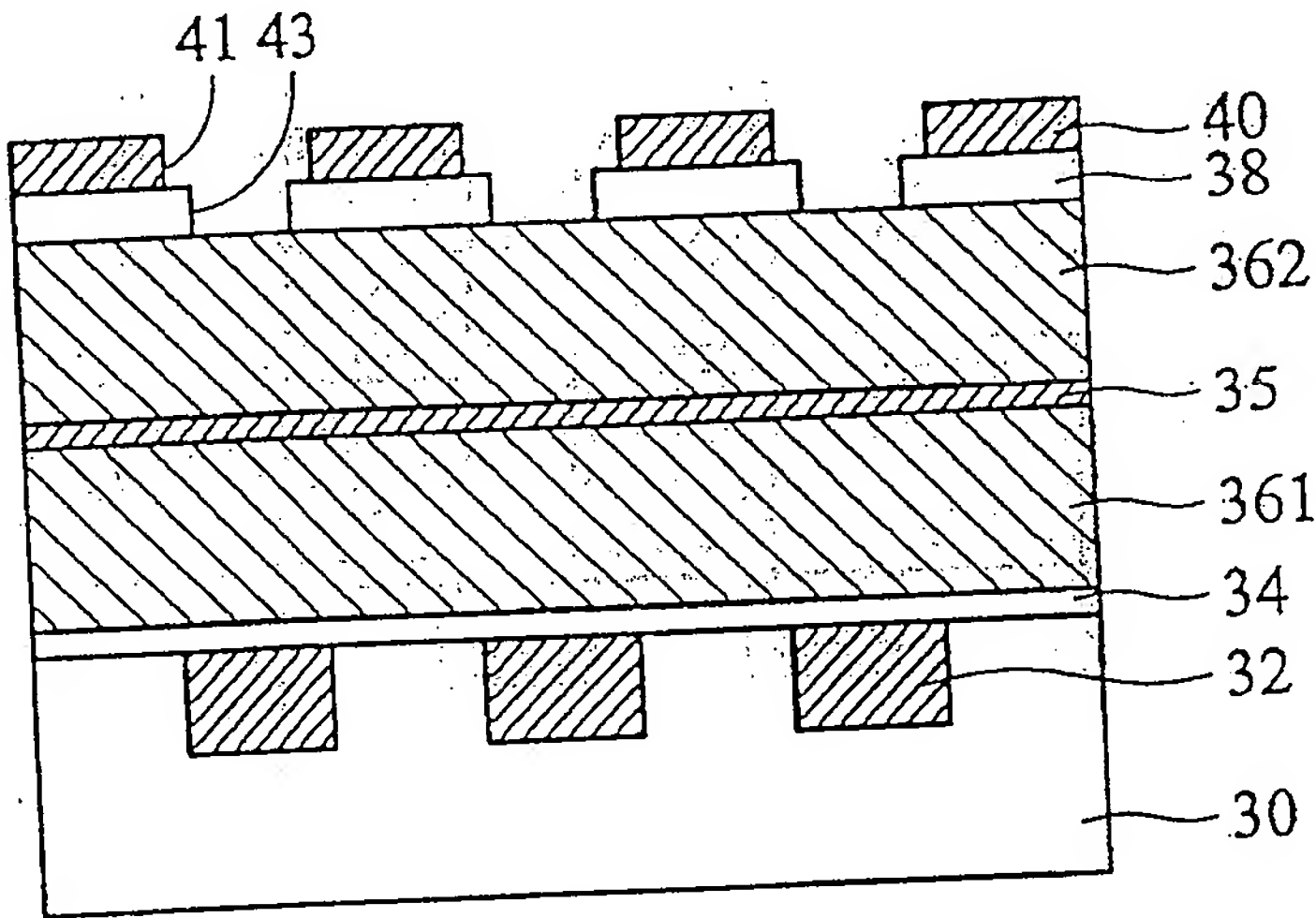


图 29

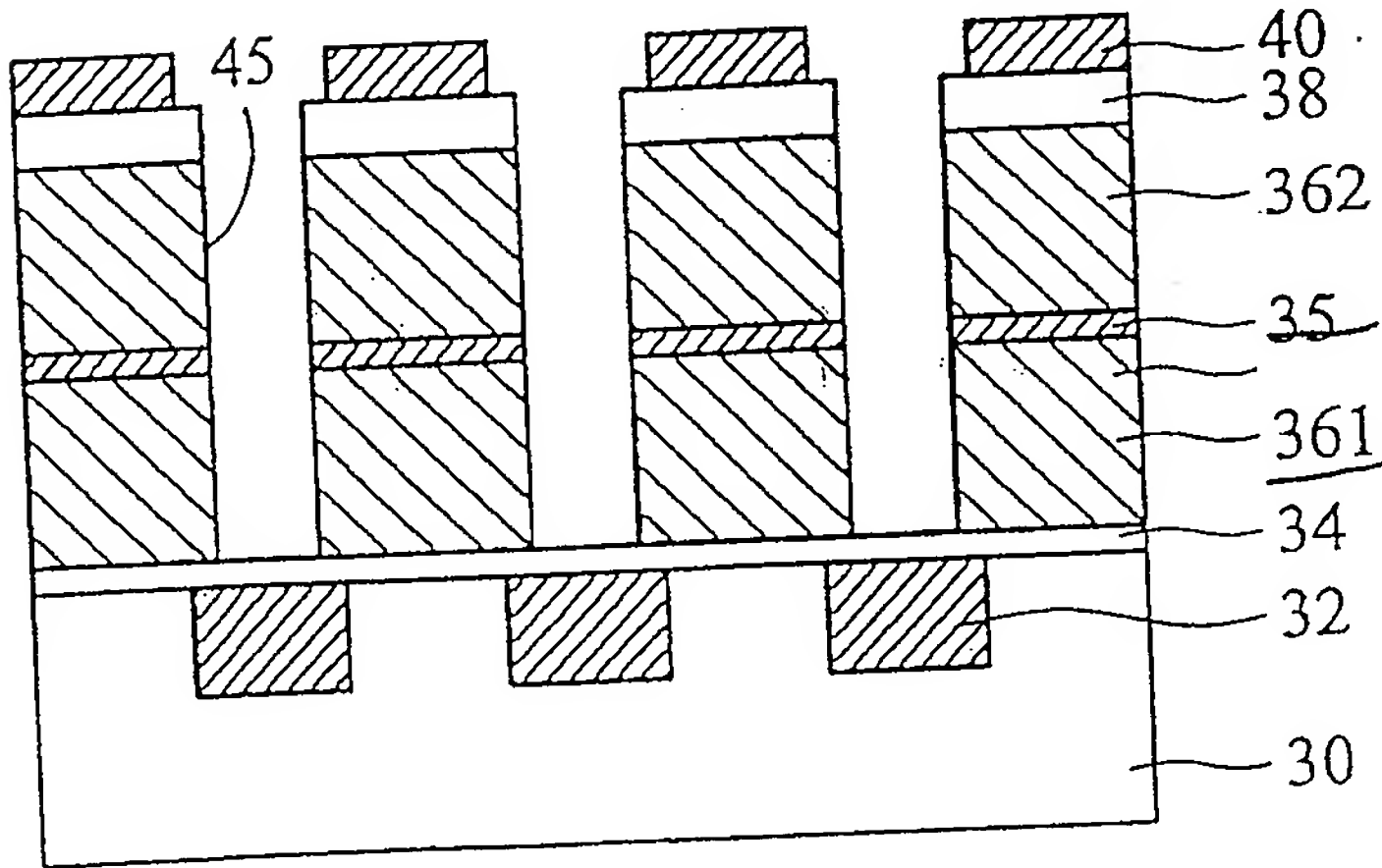


图 30

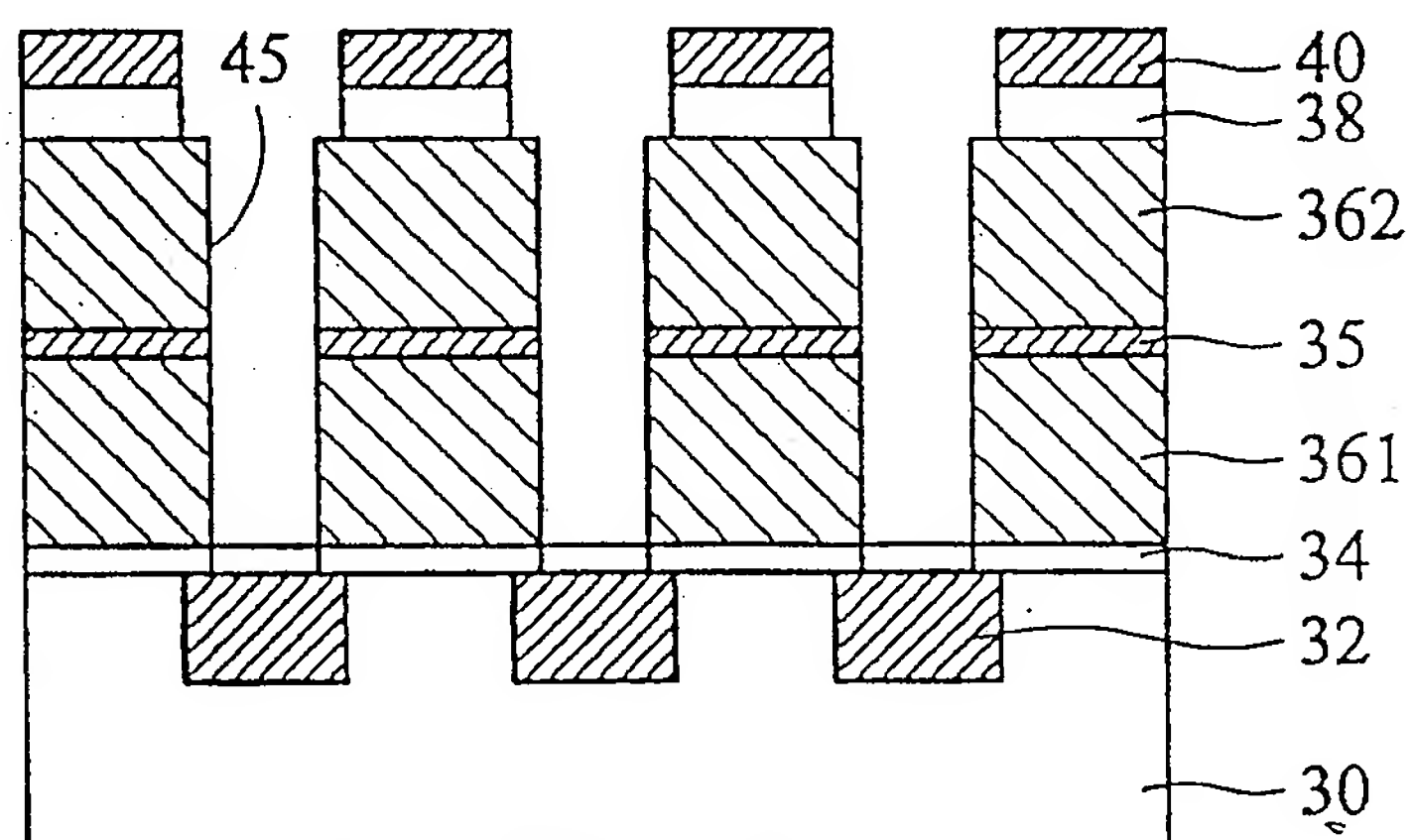


图 31

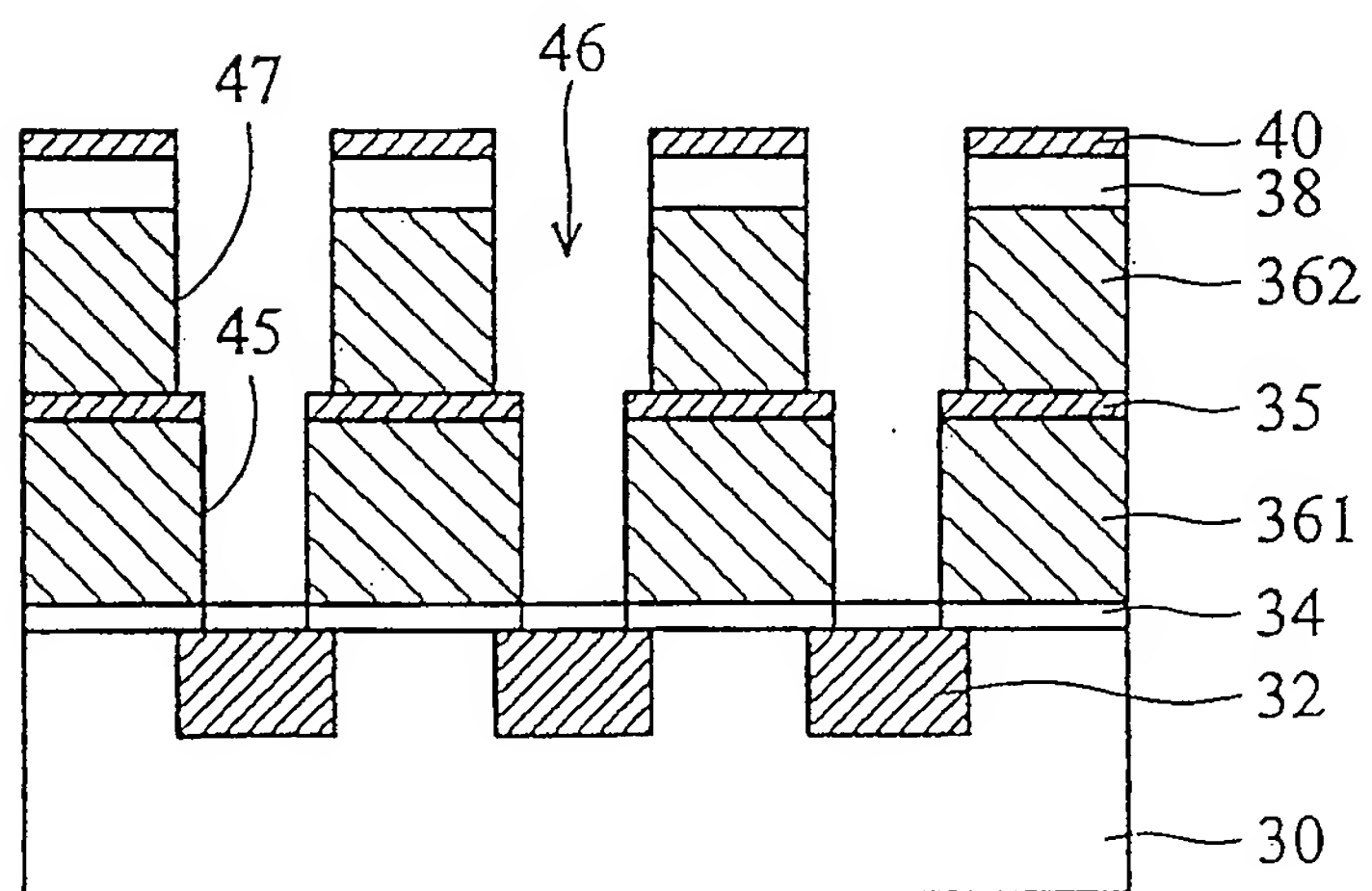


图 32

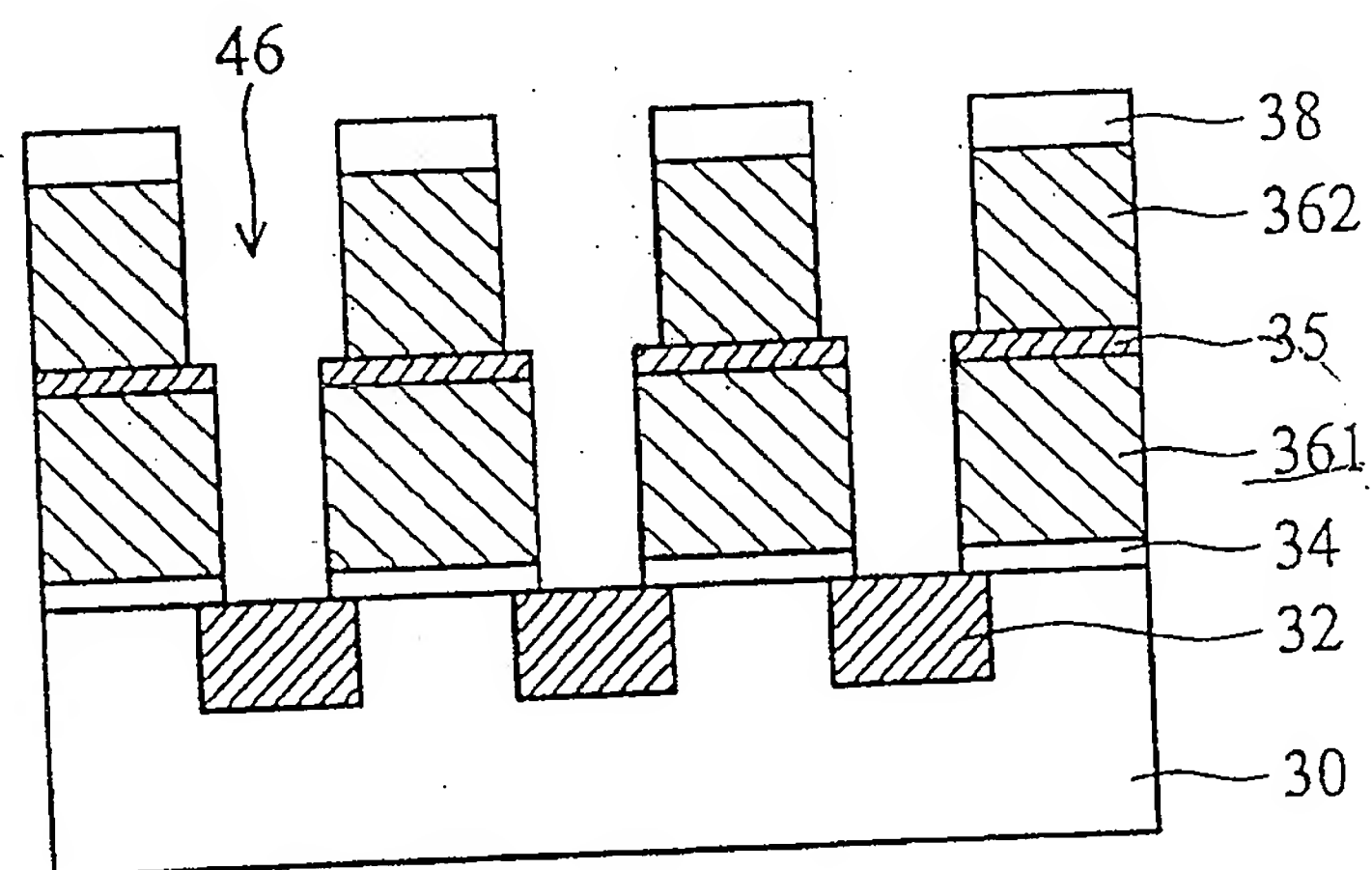


图 33

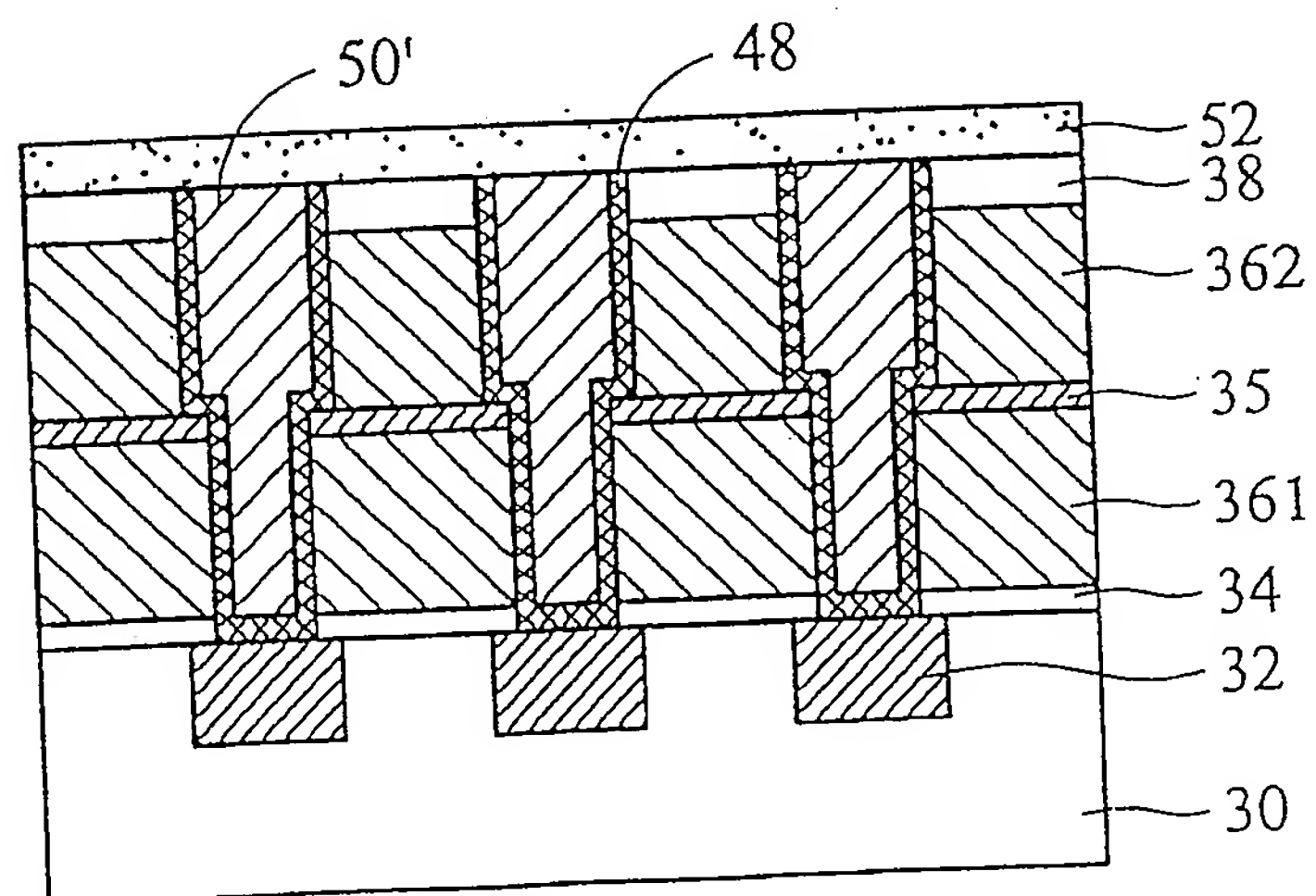


图 34